

1 先頭サンプルの時刻(トリガ(t=0)基準)の算出方法

算出方法の確認のために、以下の波形を測定した。

- ・デモジュレータのトリガ信号
- ・デモジュレータのクロック信号
- ・モジュールの Export された ai/StartTrigger 信号

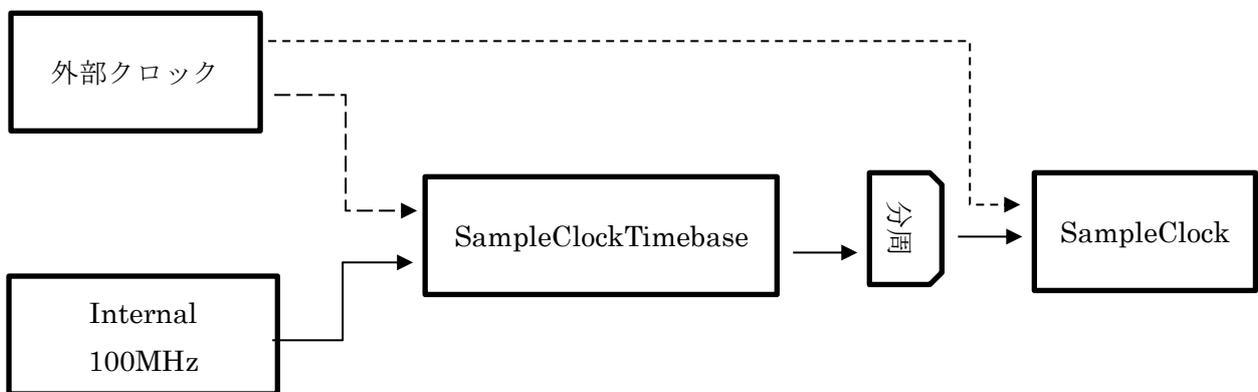
測定地点の波形は、モジュールの動作クロック(100MHz)の1クロック(10ns)遅延されている。

- ・モジュールの Export された ai/SampleClock 信号

測定地点の波形は、モジュールの動作クロック(100MHz)の1クロック(10ns)遅延されている。

測定結果については、第2章以降に記述した。

以下は、タイミングに関与するクロックの関連図である。



用語説明

(1) StartClockDelay

SampleClockTimebase の使用時に、SampleClock の開始をスタートトリガ(ai/StartTrigger)から遅延させるクロック数(tick 数)である。モジュール設定値である。

※ PXIe-6386 モジュール 8CH 16bit 14MS/s/ch X シリーズ

## 1. 1 Internal 100MHz

SampleClockTimebase に InternalClock(100MHz)を設定した場合である。

サンプリング周期= InternalClock 周期×内部クロック分周数(Div)

### (1) Continuous, Event(Finite)モード

先頭サンプルの時刻 = ジッタ + 処理時間(100ns) + SampleClockDelay × InternalClock 周期

- ・トリガ検出時のジッタが最大 InternalClock 周期分発生する。
- ・処理時間はトリガ検出時間等である。
- ※SampleClockEdge 設定は無効と思われる。

### (2) Event モード (プリサンプル n>0)

先頭サンプルの時刻 = -n × サンプリング周期 + ジッタ

- ・サンプリングはトリガ前に不定タイミングで開始されているので、最大、サンプル周期のジッタが発生する。

## 1. 2 外部クロック（ソース：デモジェレータ）

SampleClockTimebase に外部クロックは設定できない。

### 1. 2. 1 SampleClock に外部クロックを設定した場合

サンプリング周期 = 外部クロック周期

#### (1) Continuous, Event(Finite)モード

- SampleClockEdge=Rising 時

先頭サンプルの時刻 = 外部クロック周期 + 処理時間 70ns

外部クロック周期分は、トリガ検出が第1クロックの Rising に間に合わないためである。

- SampleClockEdge=Falling 時

先頭サンプルの時刻 = (外部クロック周期 / 2) + 処理時間 70ns

#### (2) Event モード（プリサンプル n>0）

- SampleClockEdge=Rising 時

先頭サンプルの時刻 =  $-n \times$  サンプリング周期 + 処理時間 70ns

- SampleClockEdge=Falling 時

先頭サンプルの時刻 =  $-n \times$  サンプリング周期 - (外部クロック周期 / 2) + 処理時間 70ns

## 2 測定結果

波形線は、上から順に、以下の通りである。

- ・黄色：外部トリガ(デモジュレータのトリガ)信号
- ・緑色：モジュールの Export された ai/StartTrigger 信号
- ・赤色：モジュールの Export された ai/SampleClock 信号
- ・青色：外部サンプルクロック(デモジュレータのクロック)信号

測定パターンを、以下に示す。

番号	クロックソース	分周	モード	Start Clock Delay (ticks)	Sample Clock Edge
1-1	Internal 100MHz	10	Continuous	14	(Rising)
1-2	↑	↑	↑	↑	(Falling)
1-3	↑	↑	↑	20	(Rising)
1-4	↑	↑	↑	↑	(Falling)
2-1	↑	↑	Finite	14	(Rising)
2-2	↑	↑	↑	↑	(Falling)
2-3	↑	↑	↑	20	(Rising)
2-4	↑	↑	↑	↑	(Falling)
3-1	↑	↑	PreSamples 5	14	(Rising)
3-2	↑	↑	↑	↑	(Falling)
4-1	External 10MHz	1	Continuous	(14)	Rising
4-2	↑	↑	↑	↑	Falling
4-3	↑	↑	↑	(20)	Rising
4-4	↑	↑	↑	↑	Falling
5-1	↑	↑	Finite	(14)	Rising
5-2	↑	↑	↑	↑	Falling
6-1	↑	↑	PreSamples 5	↑	Rising
6-2	↑	↑	↑	↑	Falling

### 考察

#### (1) 分周器を利用する時

- ・ ai/SampleClock 波形のパルス幅は常に約 40ns である。
- ・ SampleClockEdge 設定にかかわらず、ai/SampleClock の Rising がサンプリングタイミングと思われる。

#### (2) Internal 20MHz は使用できない。

#### (3) External 時 Interval は 1 のみ、それ以外はサポートしていない。

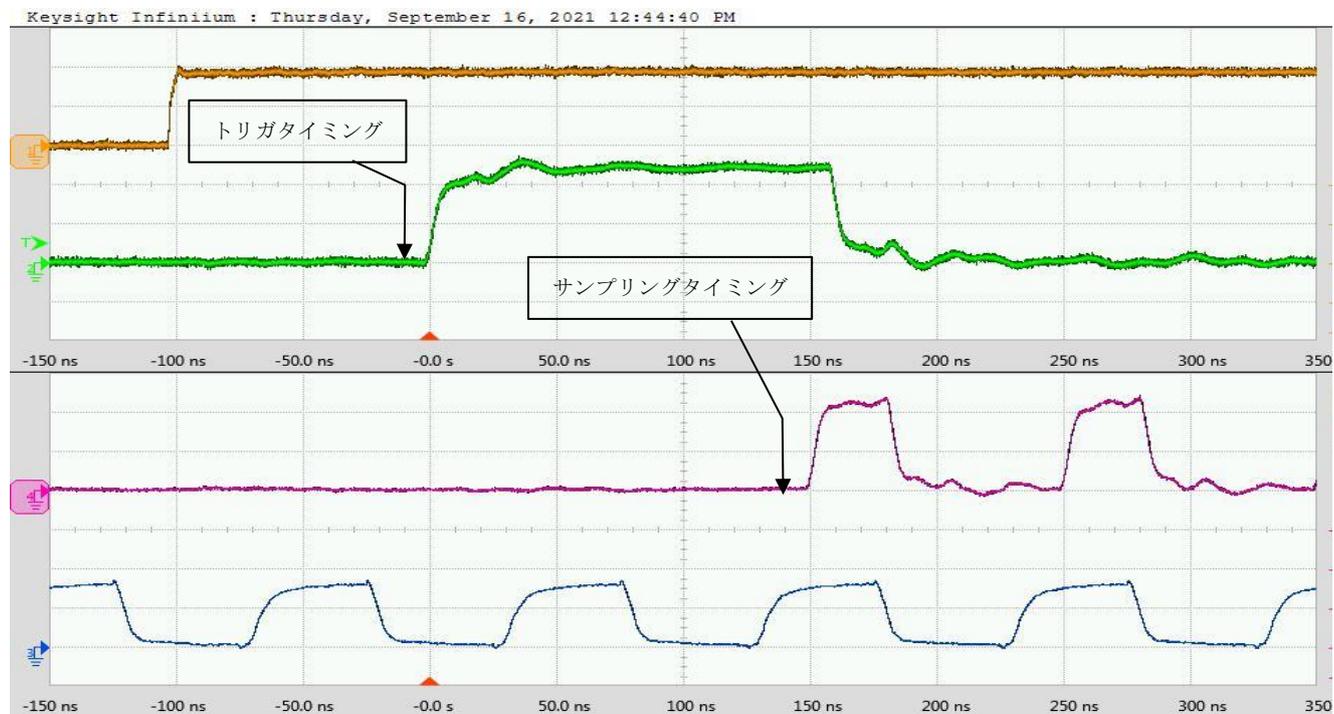
(1) Internal 100MHz, Div10, Continuous  
SampleClockTimebaseActiveEdge=Rising である。

(1-1) Internal 100MHz, Div10, Continuous, Start Clock Delay 14ticks, Sample Clock Rising

ai/StartTrigger : SampleClockTimebase の同期ジッタ(最大 10ns)

処理時間 90ns+ 表示上遅延 10ns

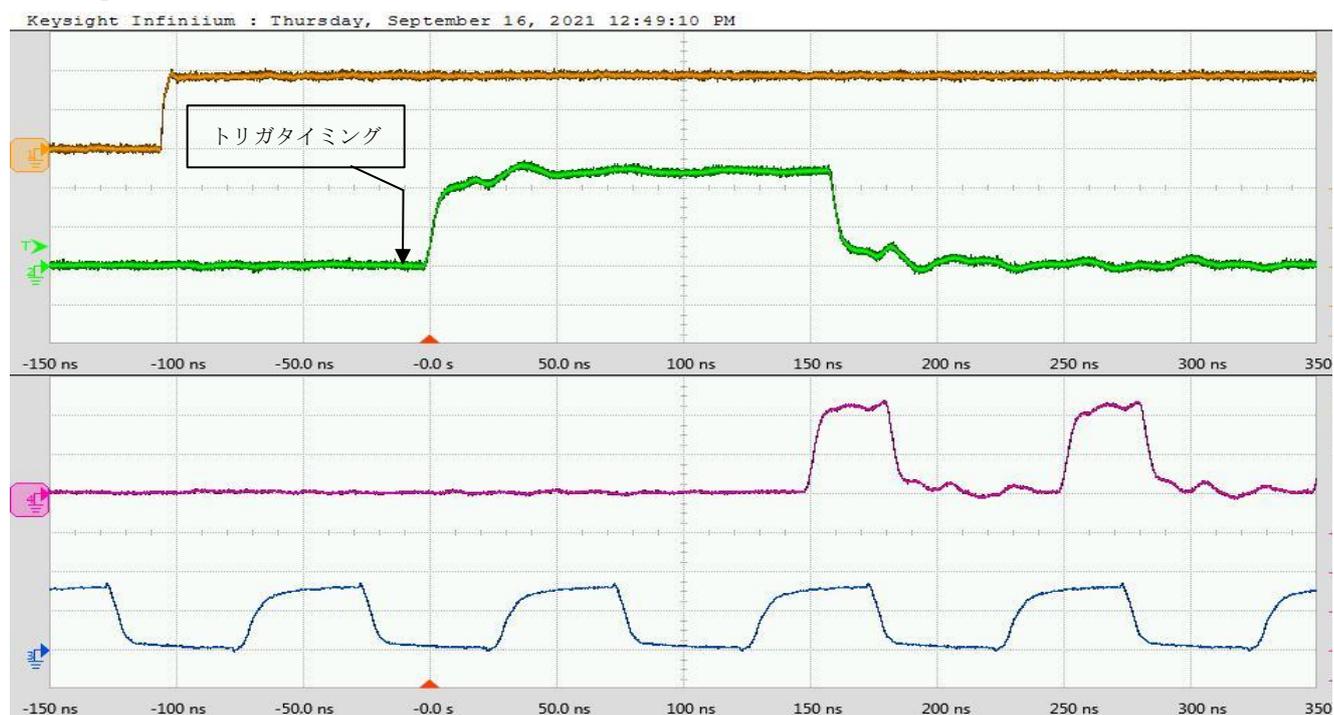
ai/SampleClock : ai/StartTrigger から Start Clock Delay+処理時間 10ns のずれ。150ns (14ticks+10ns)



(1-2) (1-1) Sample Clock Rising → Falling

ai/StartTrigger : (1-1)と同じである。

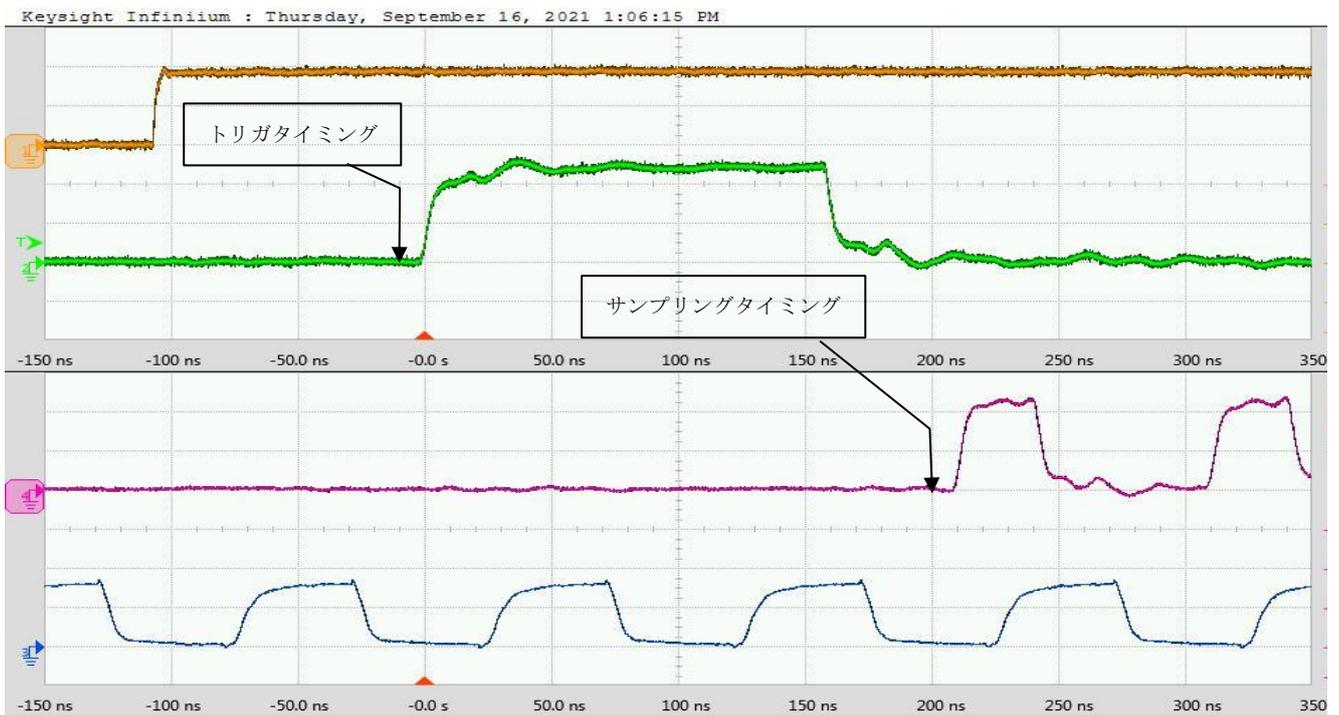
ai/SampleClock : (1-1)と同じである。



(1-3) (1-1) Sample Clock Delay 14ticks → 20ticks

ai/StartTrigger : (1-1)と同じである。

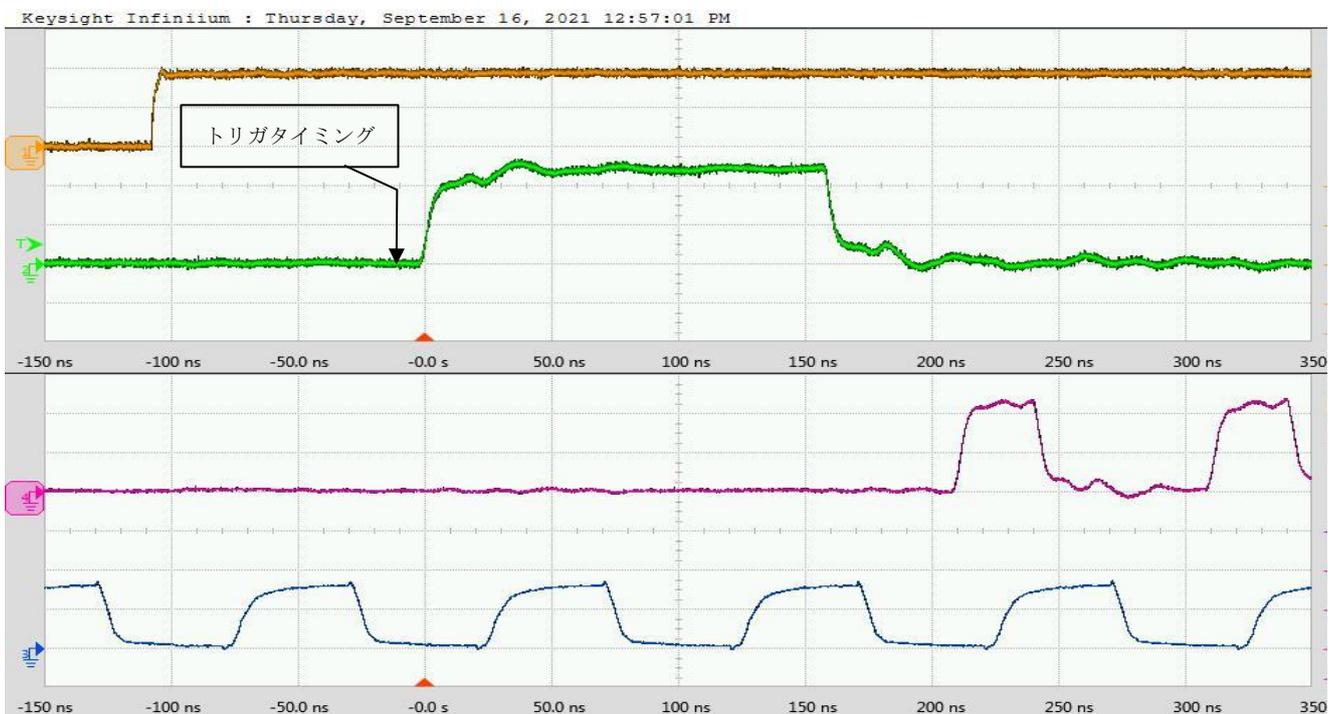
ai/SampleClock : ai/StartTrigger から Start Clock Delay+処理時間 10ns のずれ。 210ns (20ticks+10ns)



(1-4) (1-3) Sample Clock Rising → Falling

ai/StartTrigger : (1-3)と同じである。

ai/SampleClock : (1-3)と同じである。



(2) Internal 100MHz, Div10, Finite

SampleClockTimebaseActiveEdge=Rising である。

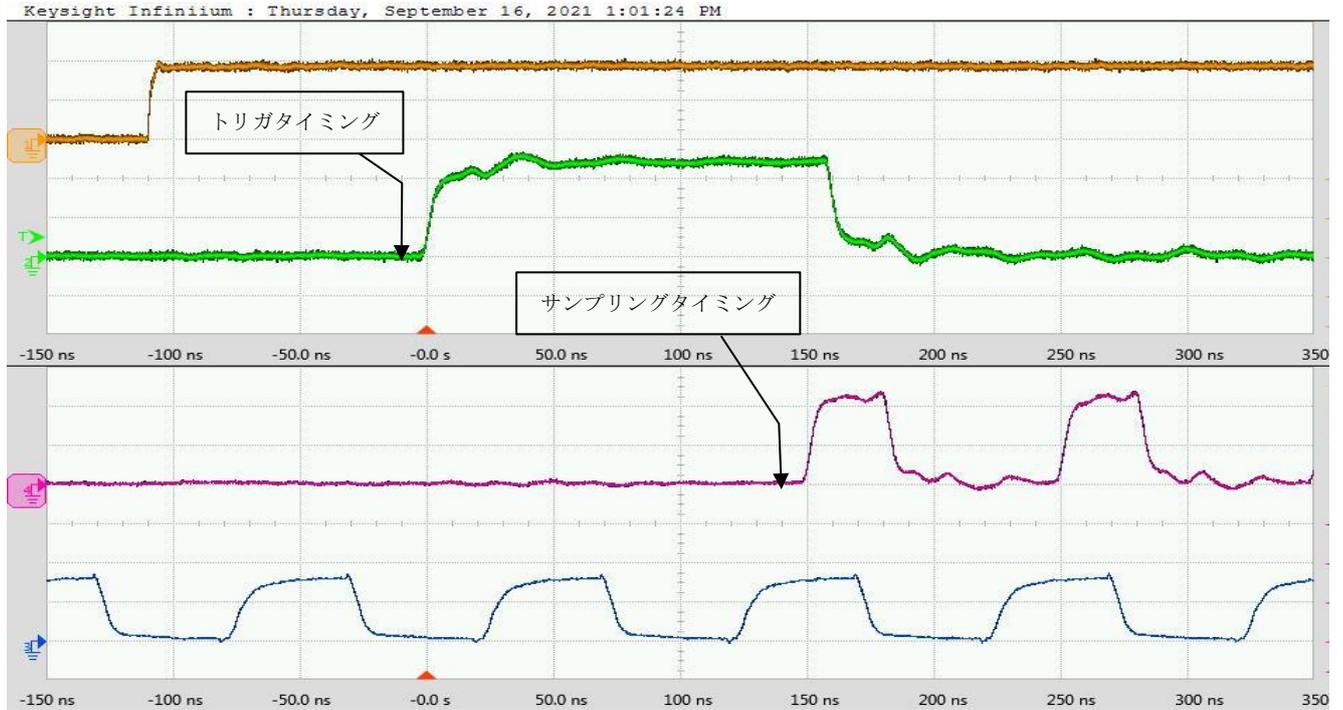
(1) Continuous モードと同じ結果と判断する。

(2-1) Internal 100MHz, Div10, Finite, Start Clock Delay 14ticks, Sample Clock Rising

ai/StartTrigger : SampleClockTimebase の同期ジッタ(最大 10ns)

処理時間 90ns+ 表示上遅延 10ns

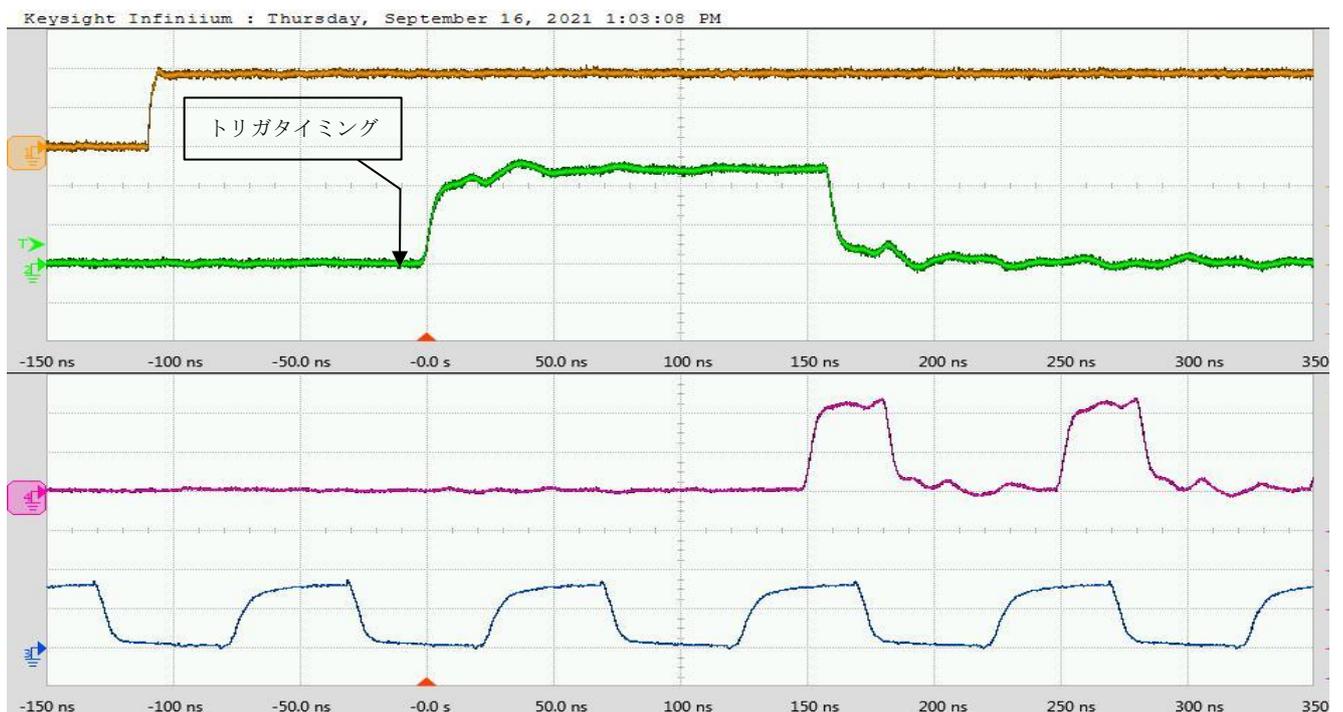
ai/SampleClock: ai/StartTrigger から Start Clock Delay+処理時間 10ns のずれ。 150ns (14ticks+10ns)



(2-2) (2-1) Sample Clock Rising → Falling

ai/StartTrigger : (2-1)と同じである。

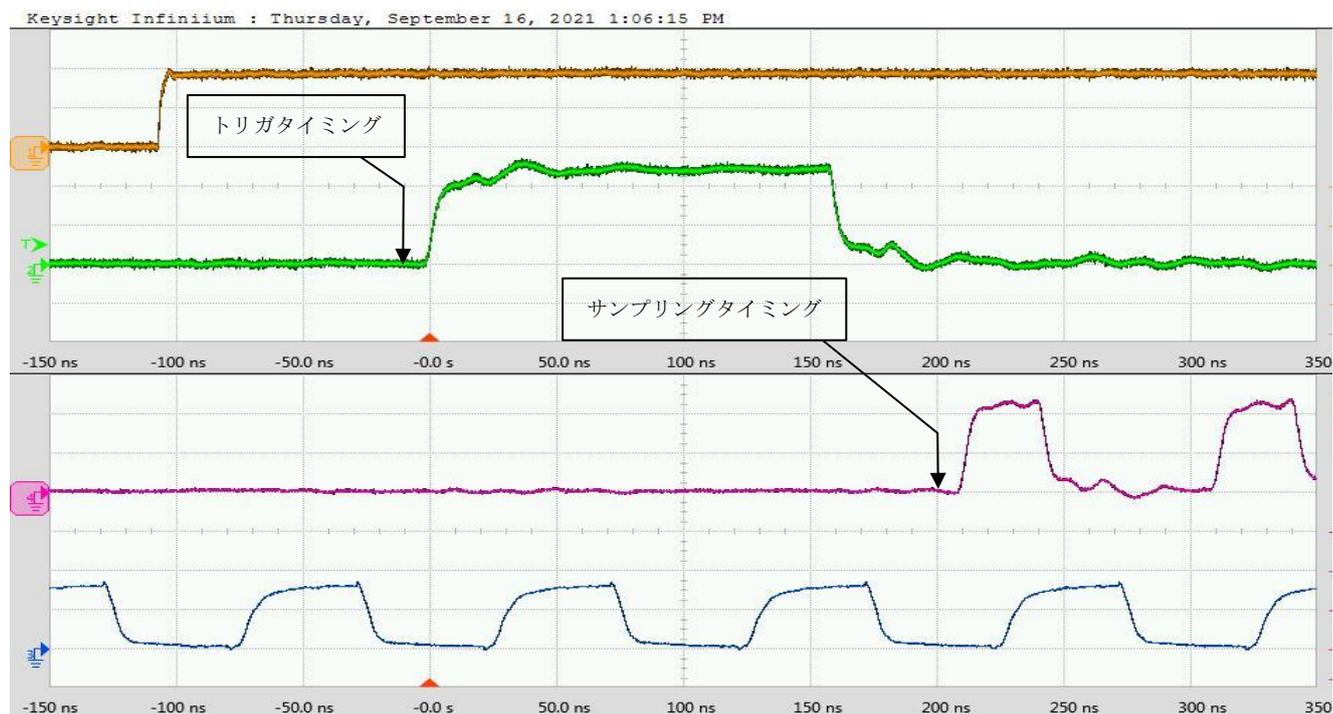
ai/SampleClock : (2-1)と同じである。



(2-3) (2-1) Start Clock Delay 14ticks → 20ticks

ai/StartTrigger : (2-1)と同じである。

ai/SampleClock : ai/StartTrigger から Start Clock Delay+処理時間 10ns のずれ。 210ns (20ticks+10ns)



(2-4) (2-3) Sample Clock Rising → Falling

ai/StartTrigger : (2-3)と同じである。

ai/SampleClock : (2-3)と同じである。

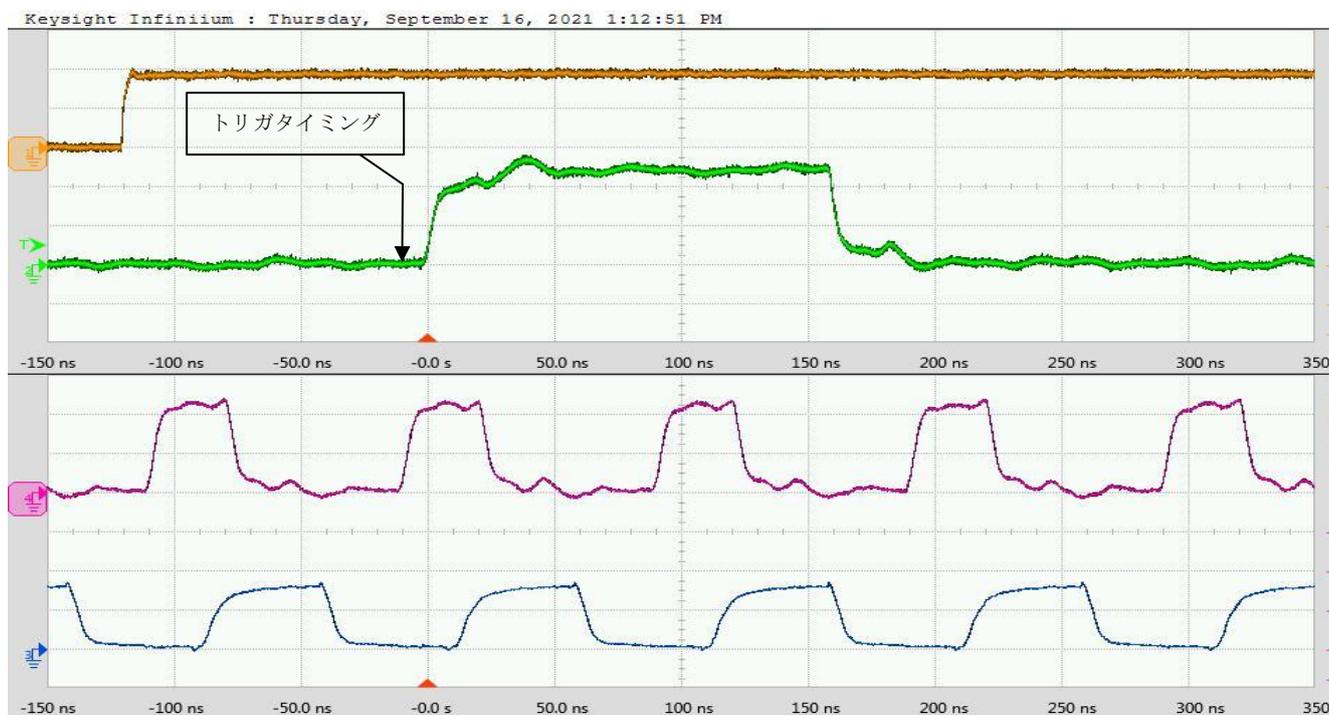


(3) Internal 100MHz, Div10, Finite PreSamples 5 : (2)のプリサンプルモード  
SampleClockTimebaseActiveEdge=Rising である。

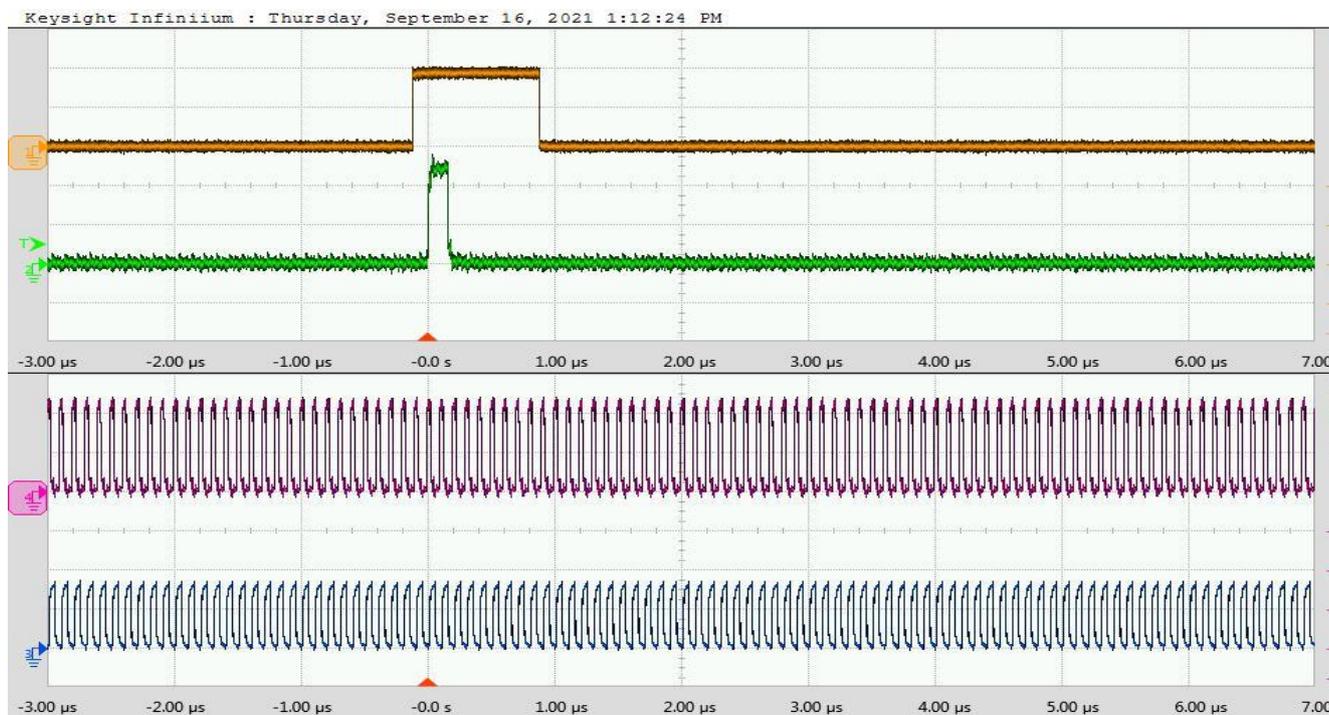
(3-1) Internal 100MHz, Div10 Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Rising  
ai/StartTrigger : (2-1)と同じである。

ai/SampleClock : SampleClock の開始タイミングがトリガに依存せず、不定である。

ai/StartTrigger より、Sampling Rate の1クロック分のジッタが発生する。



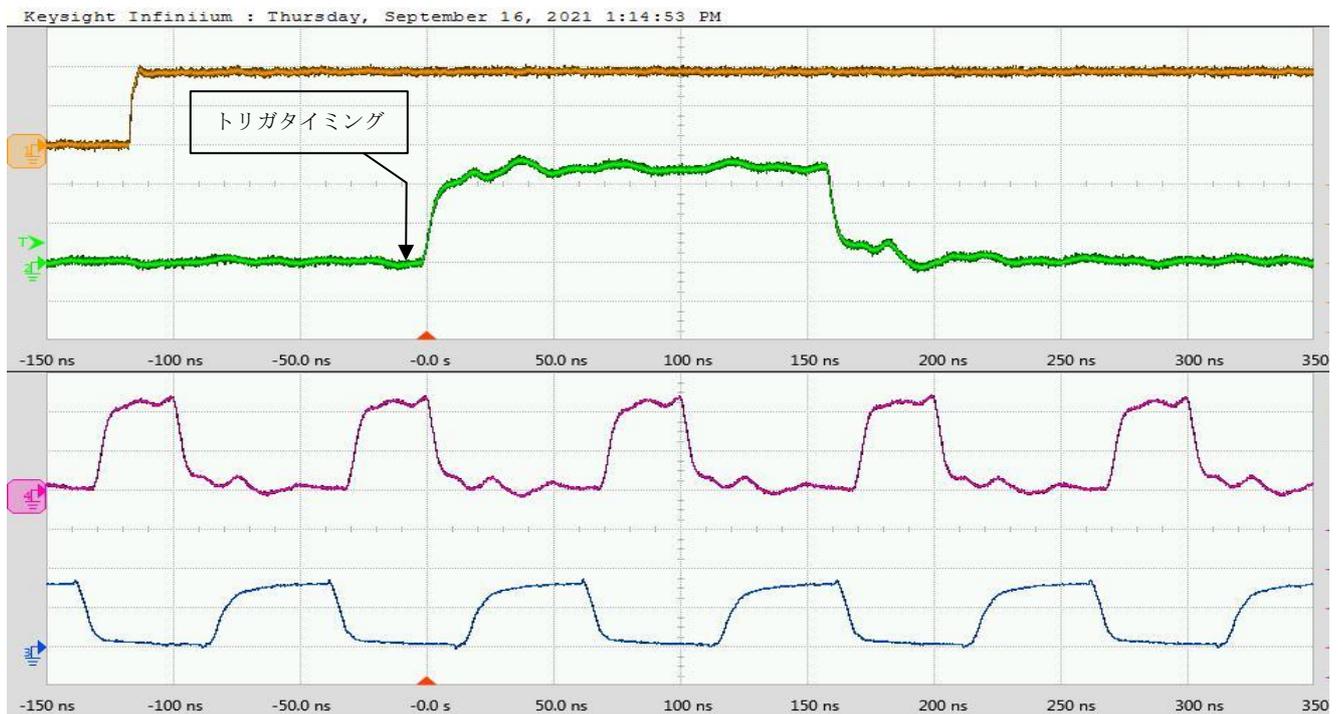
以下は全体図である。



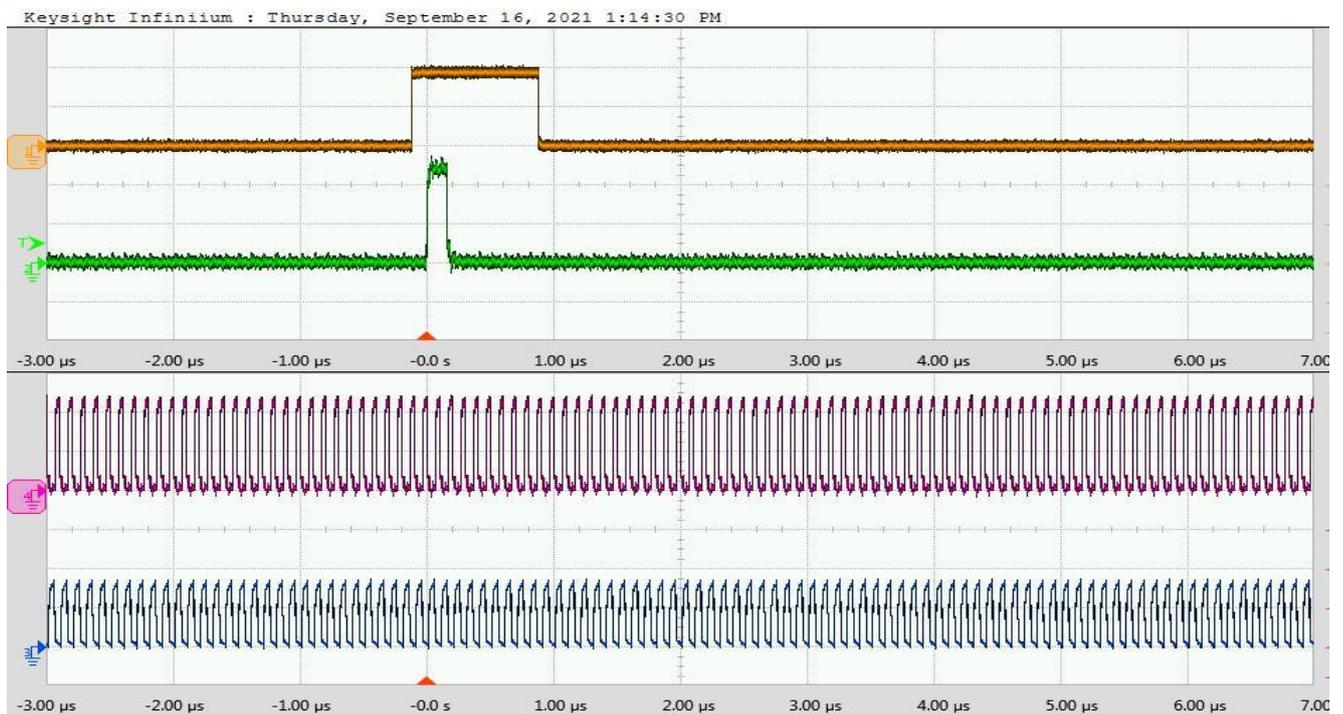
(3-2) (3-1) Sample Clock Rising → Falling

ai/StartTrigger : (3-1)と同じである。

ai/SampleClock : (3-1)と同じである。



以下は全体図である。



(4) External 10MHz, Div1, Continuous

SampleClockTimebaseは Internal 100MHz 信号が接続されている。

SampleClockTimebaseActiveEdge=Rising(設定値)で動作する。

SampleClockに External 10MHz(デモジェレータのクロック)信号を接続する。

(4-1) External 10MHz, Div1, Continuous, (Start Clock Delay 14ticks), Sample Clock Rising

ai/StartTrigger : 処理時間 90ns+10ns(表示上遅延)+ SampleClockTimebase のジッタ 10ns

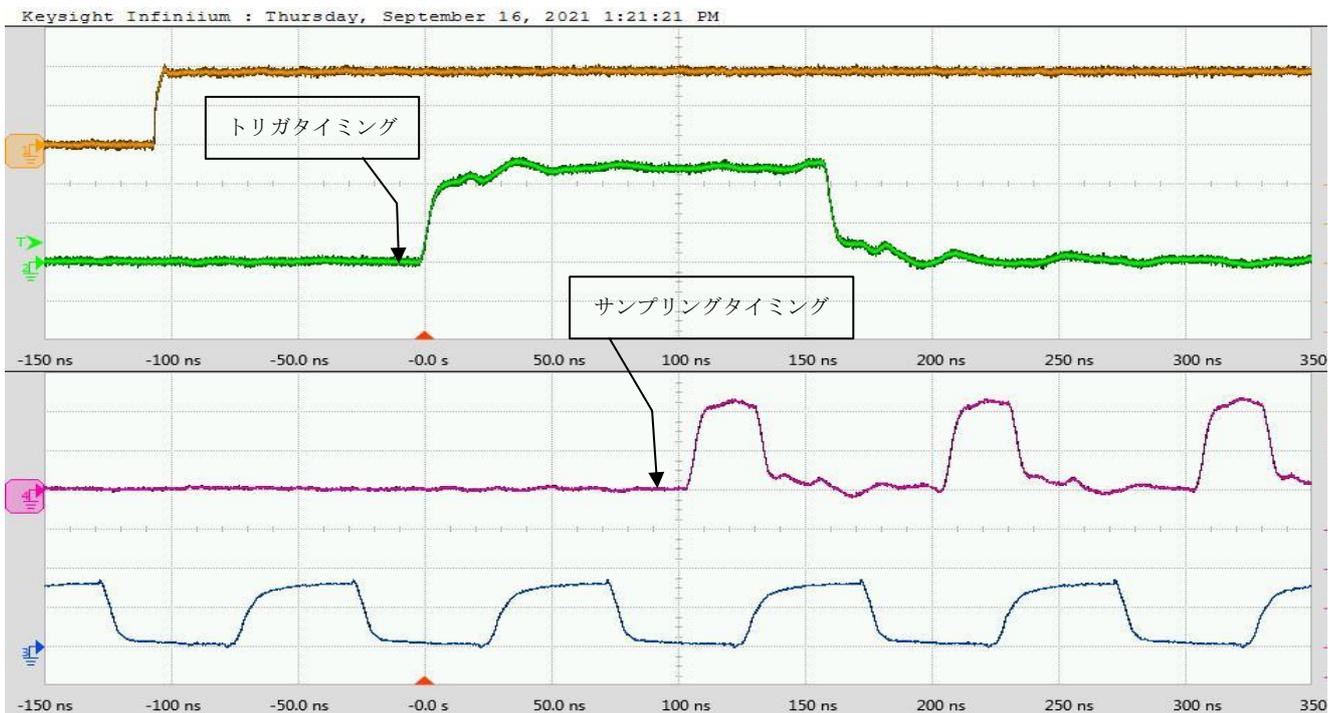
第1外部クロック Rising から処理時間 70ns+10ns(表示上遅延)

ai/SampleClock : 第1外部クロック Rising (=デモジェレータのトリガ)から

外部クロック周期+処理時間 70ns+表示上遅延 10ns のずれ 100ns+80ns

第2外部クロック Rising から処理時間 70ns+10ns(表示上遅延)

(ai/StartTrigger 以降の第1外部クロック)



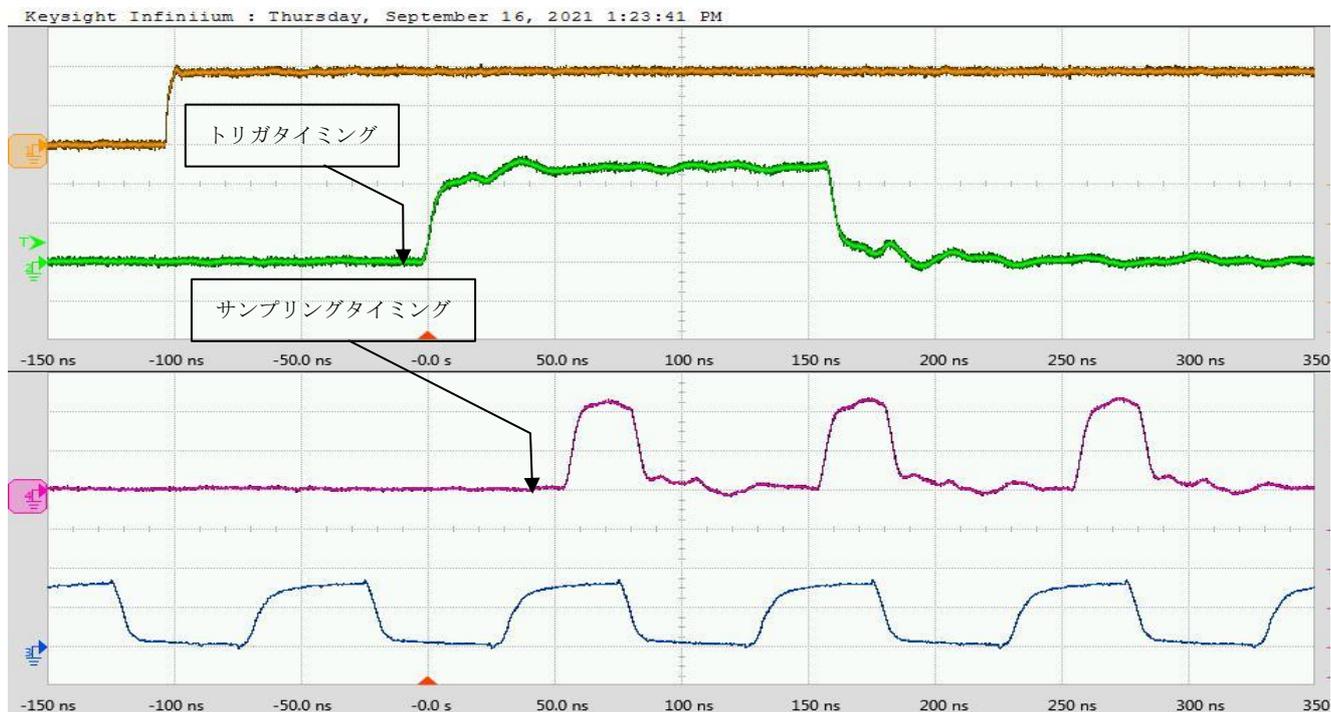
以下は全体図である。



(4-2) (4-1) Sample Clock Rising → Falling

ai/StartTrigger : (4-1)と同じである。

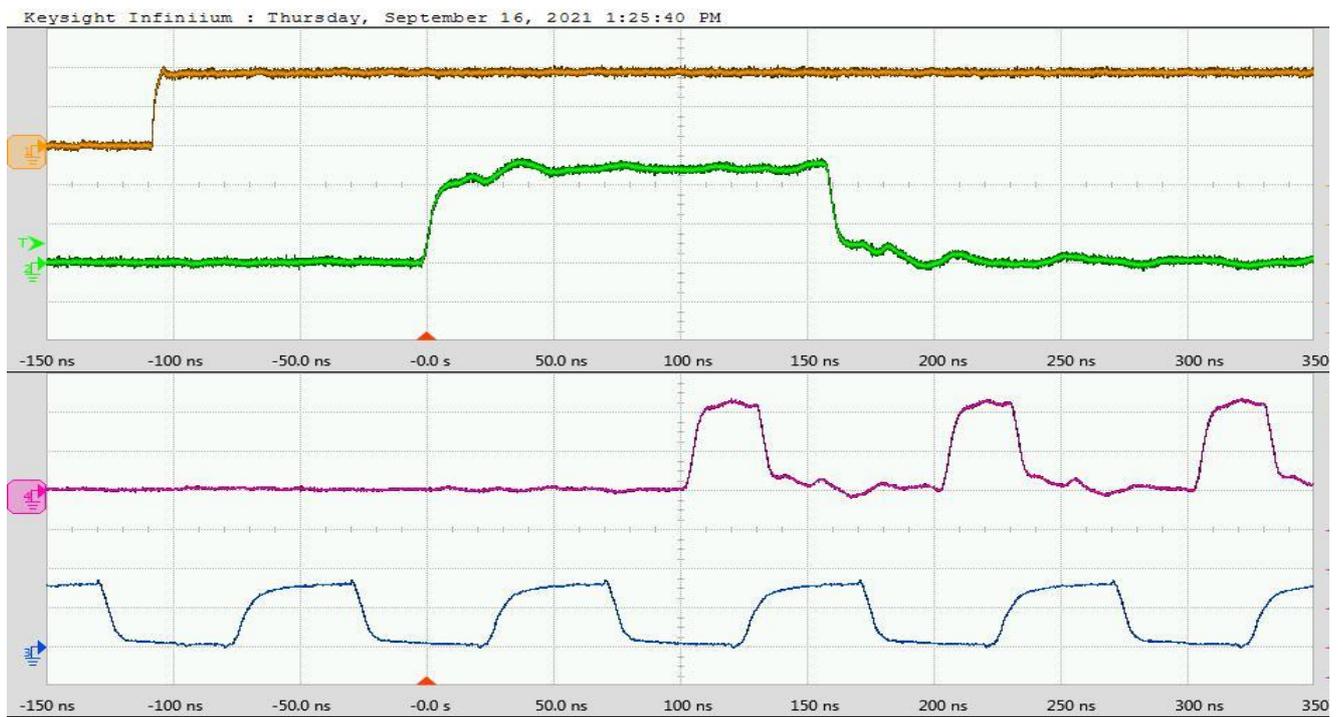
ai/SampleClock : デモジェレータのトリガからの第1外部クロック Falling から  
処理時間 70ns+10ns(表示上遅延)



(4-3) (4-1) Start Clock Delay 14ticks → 20ticks (参考)

ai/StartTrigger : (4-1)と同じである。

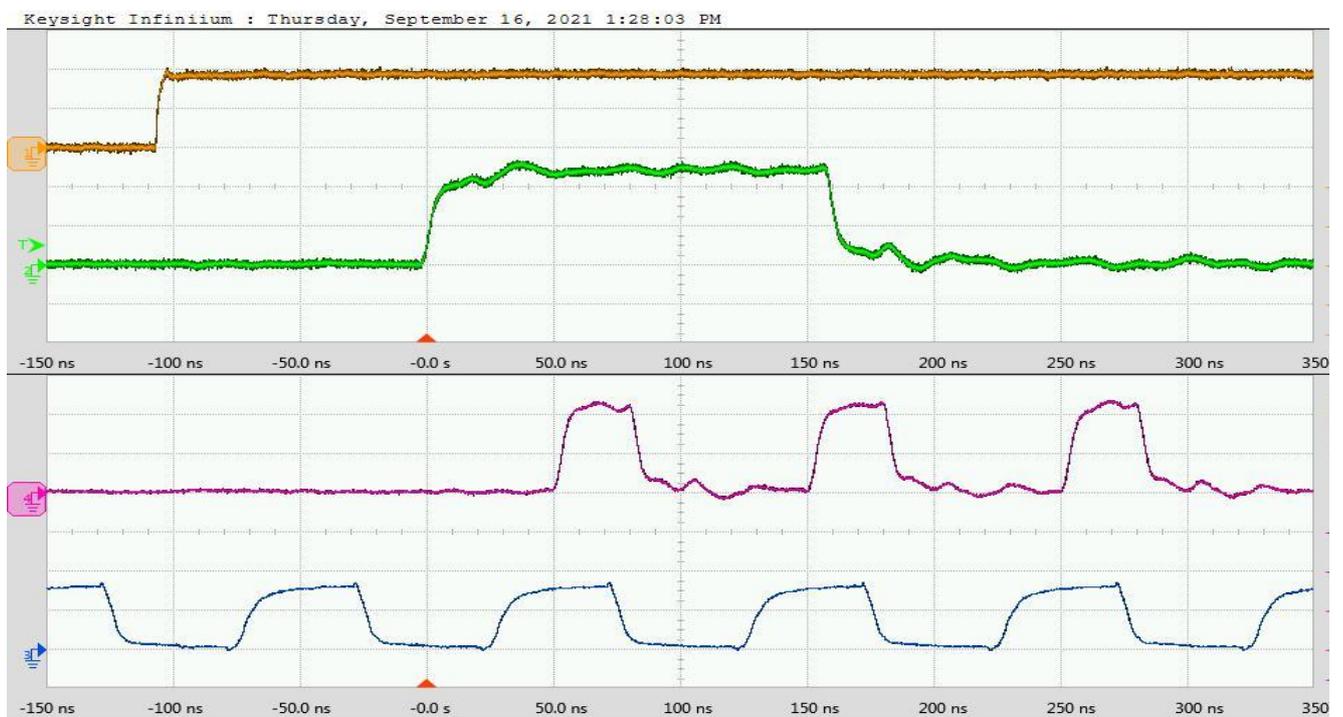
ai/SampleClock : (4-1)と同じである。



(4-4) (4-3) Start Clock Delay Rising → Falling (参考)

ai/StartTrigger : (4-2)と同じである。

ai/SampleClock : (4-2)と同じである。



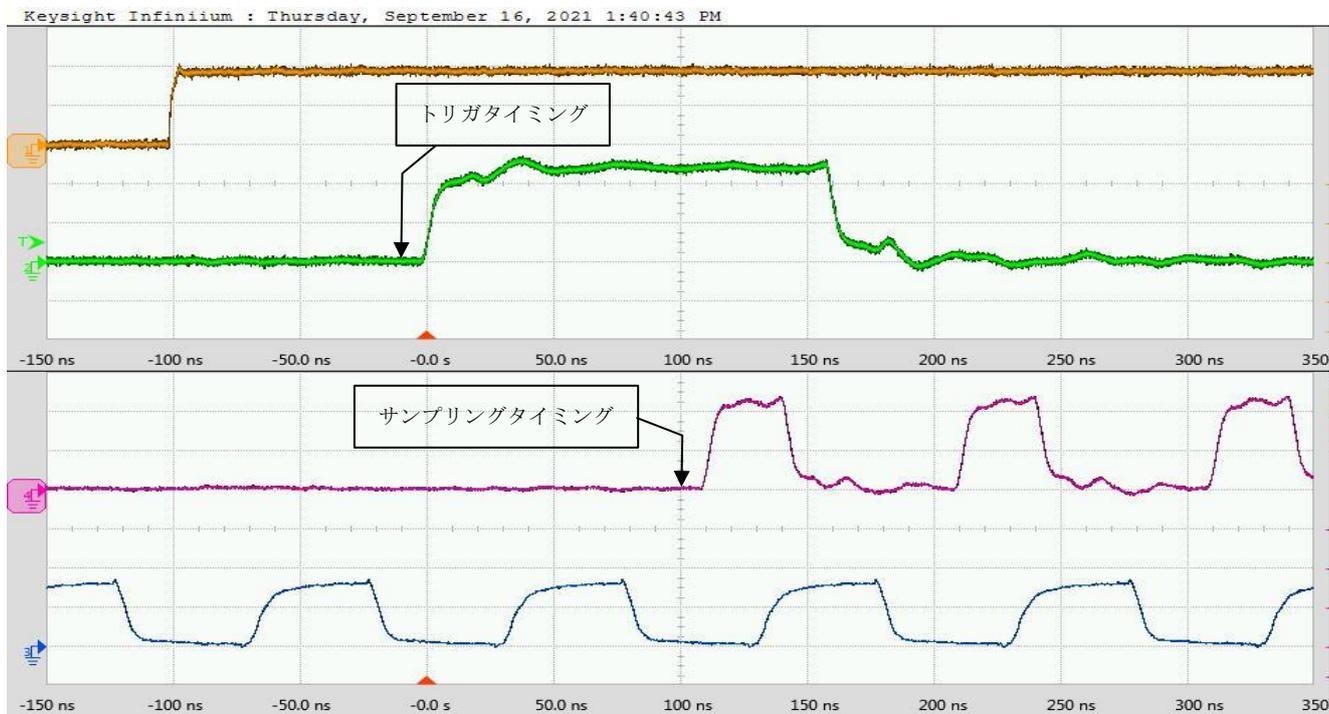
(5) External 10MHz, Div1, Finite

(4) と同じである。

(5-1) External 10MHz, Div1, Finite, (Start Clock Delay 14ticks), Sample Clock Rising

ai/StartTrigger : (4-1)と同じである。

ai/SampleClock : (4-1)と同じである。



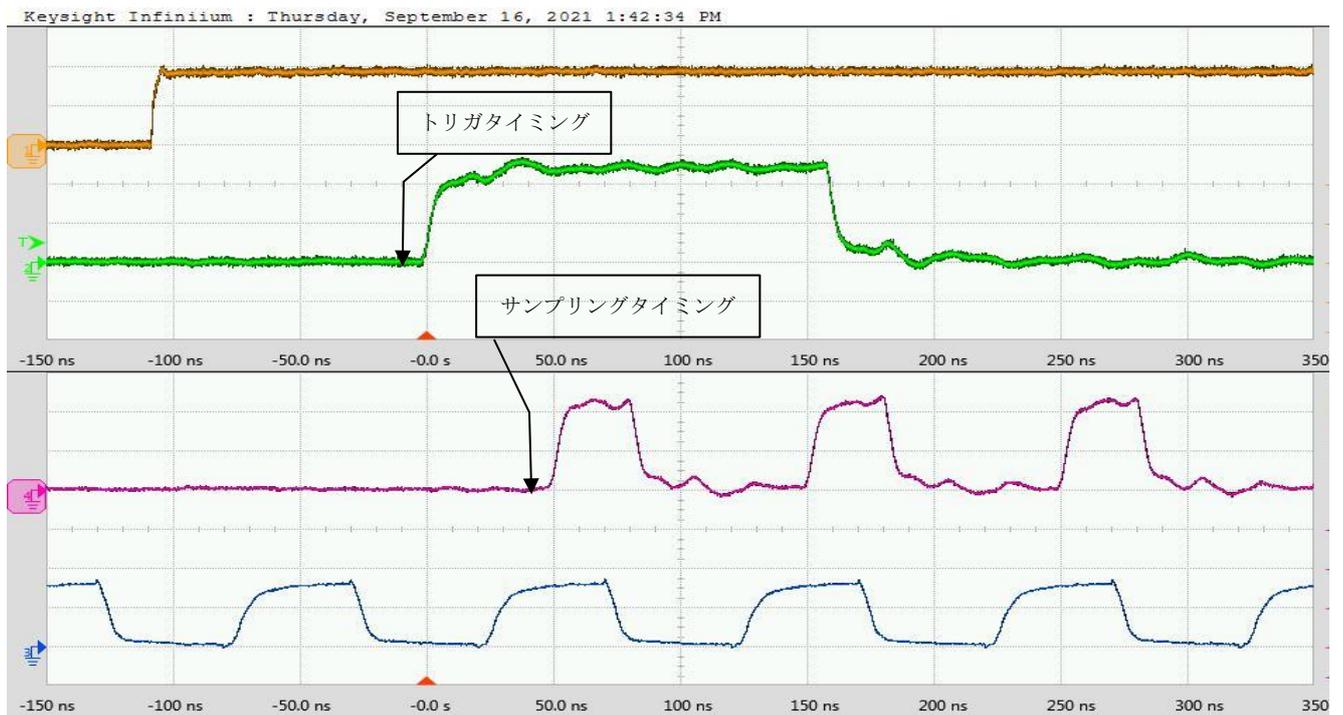
以下は全体図である。



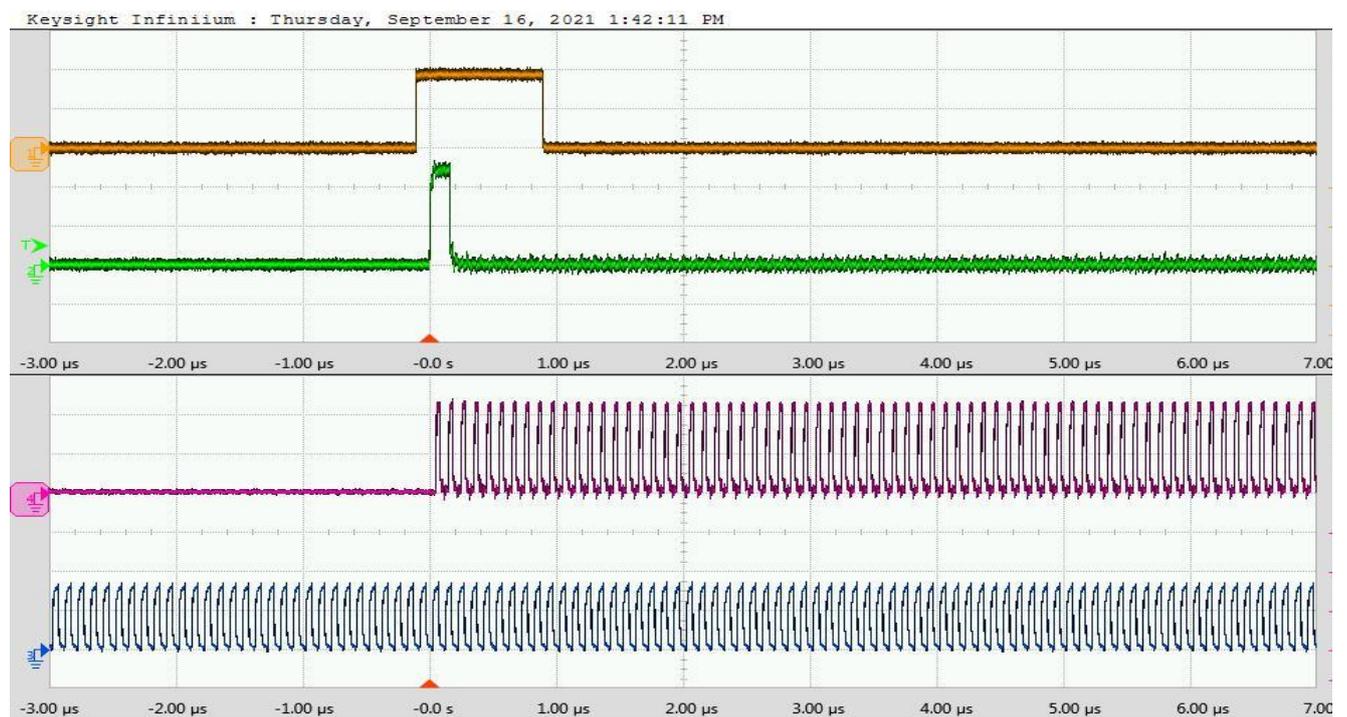
(5-2) (5-1) Sample Clock Rising → Falling

ai/StartTrigger : (4-2)と同じである。

ai/SampleClock : (4-2)と同じである。



以下は全体図である。



(6) External 10Hz, Div1, Finite PreSamples 5 : (11)のプリサンプルモード

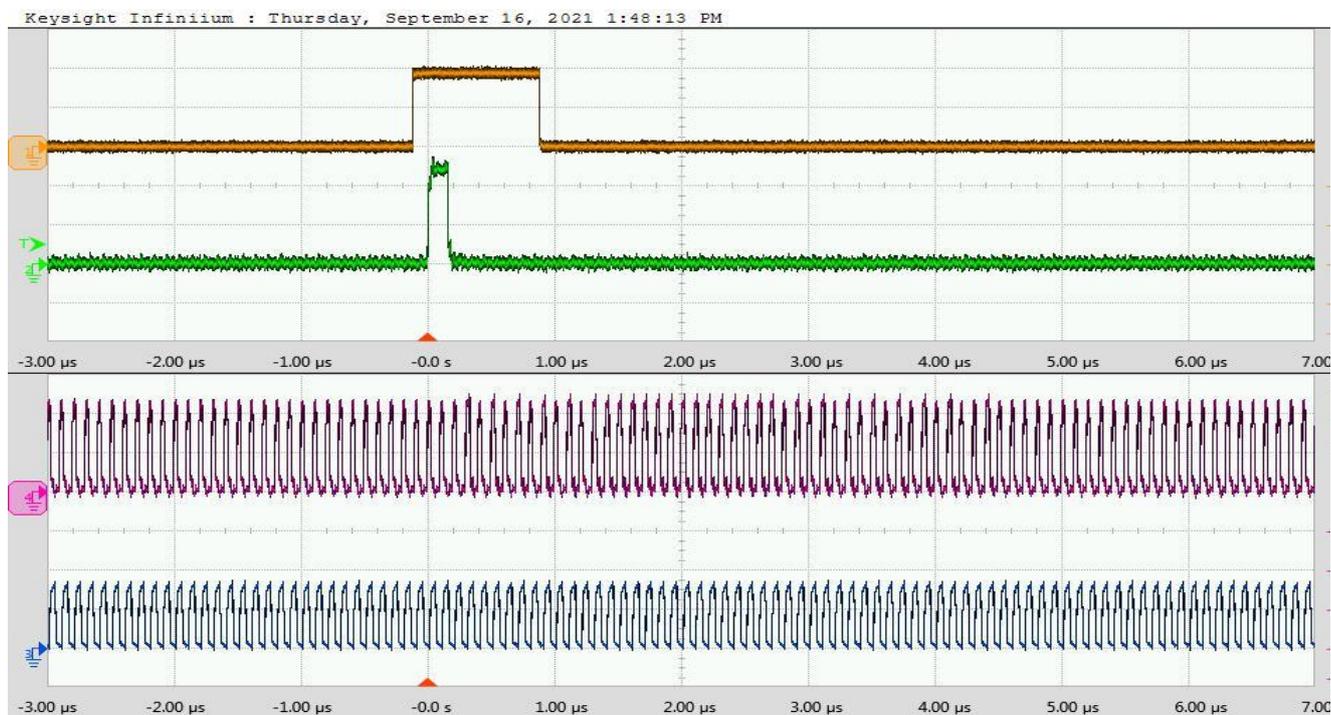
(6-1) External 10MHz, Div1, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Rising

ai/StartTrigger : 外部クロックの Rising+70ns+10ns(表示上遅延)

ai/SampleClock : 外部クロックの Rising+70ns+10ns(表示上遅延)に同期



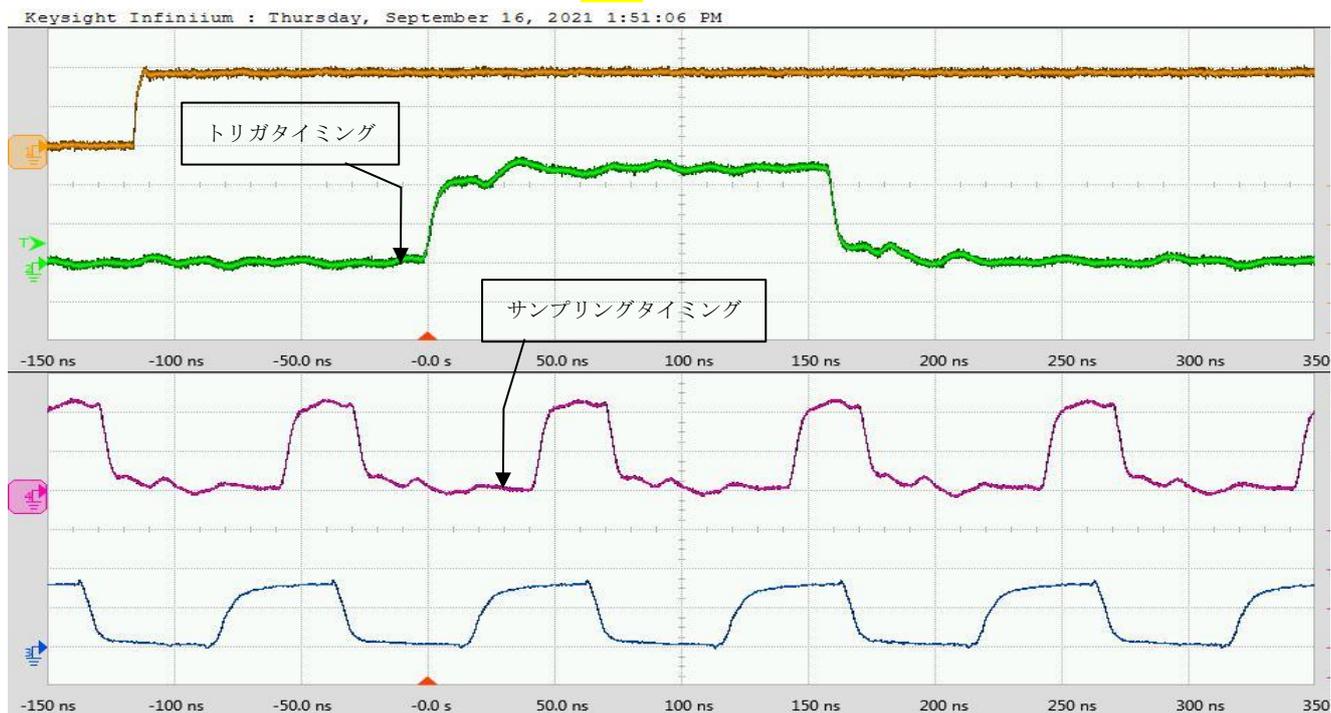
以下は全体図である。



(6-2) (6-1) Sample Clock Rising → Falling

ai/StartTrigger : 外部クロックの Rising+70ns+10ns(表示上遅延)

ai/SampleClock : 外部クロックの Falling+60ns+10ns(表示上遅延)に同期



以下は全体図である。



以上