

1 先頭サンプルの時刻(トリガ(t=0)基準)の算出方法

算出方法の確認のために、以下の波形を測定した。

- ・デモジュレータのトリガ信号
- ・デモジュレータのクロック信号
- ・モジュールの Export された ai/StartTrigger 信号

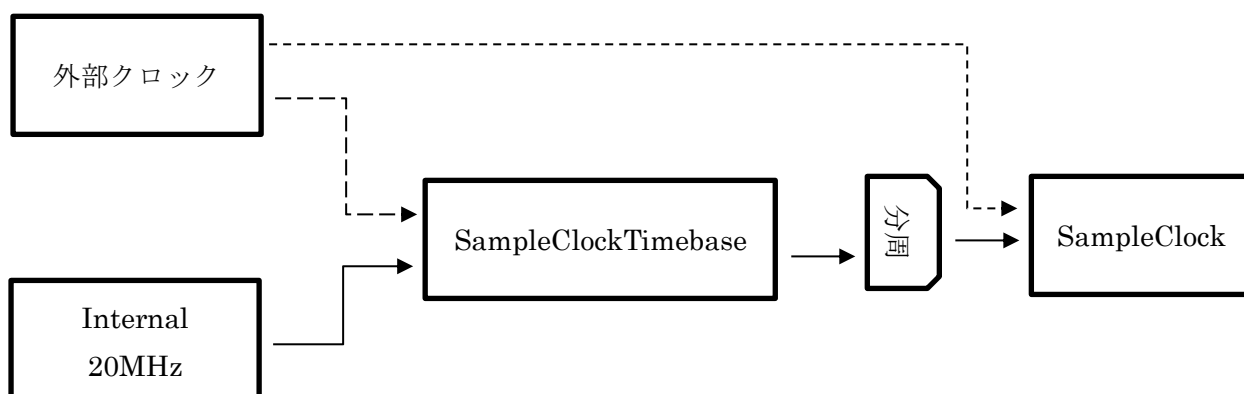
測定地点の波形は、モジュールの動作クロック(20MHz)の1クロック(50ns)遅延されている。

- ・モジュールの Export された ai/SampleClock 信号

測定地点の波形は、モジュールの動作クロック(20MHz)の1クロック(50ns)遅延されている。

測定結果については、第2章以降に記述した。

以下は、タイミングに關与するクロックの關連図である。



用語説明

(1) StartClockDelay

SampleClockTimebase の使用時に、SampleClock の開始をスタートトリガ(ai/StartTrigger)から遅延させるクロック数(tick 数)である。モジュール設定値である。

※ PXI-6115 モジュール 4CH 12bit MAX 10MS/s/ch S シリーズ

## 1. 1 Internal 20MHz

SampleClockTimebase に InternalClock(20MHz)を設定した場合である。

サンプリング周期 =  $50\text{ns} \times \text{クロック分周数(Div)}$

### (1) Continuous, Event(Finite)モード

先頭サンプルの時刻 =  $(\text{SampleClockDelay}-1) \times 50\text{ns} + \text{ジッタ} + \text{SampleClockEdgeTime}$

- ・トリガ検出のジッタが最大 50ns 発生する。
- ・ SampleClockEdgeTime  
SampleClock のパルス幅は、SampleClockTimebase(内部クロック)と同じになる。
  - ・ SampleClockEdge=Rising 時 : 0
  - ・ SampleClockEdge=Falling 時 : 内部クロック周期(sec) / 2

### (2) Event モード (プリサンプル n>0)

先頭サンプルの時刻 =  $-n \times \text{サンプリング周期} + \text{ジッタ}$

- ・サンプリングはトリガ前に不定タイミングで開始されているので、最大、サンプル周期のジッタが発生する。
- ・ SampleClockEdge(Rising/ Falling)に依存しない。

## 1. 2 外部クロック (ソース: デモジェレータ)

### (1) StartTime

トリガ信号から ai/StartTrigger に変換する時間である。

SampleClockTimebaseActiveEdge の設定が影響する。

### (2) SampleClockEdgeTime

SampleClock のパルスエッジ(Rising / Falling)がサンプリングタイミングになるため、その影響時間がある。 SampleClock のパルス幅は、SampleClockTimebase(外部クロック)と同じになる。

- ・ SampleClockEdge=Rising 時 : 0
- ・ SampleClockEdge=Falling 時 : 外部クロック周期(sec) / 2

## 1. 2. 1 SampleClockTimebase に外部クロックを設定した場合

サンプリング周期 = 外部クロック周期(sec)×クロック分周数(Div)

### (1) Continuous, Event(Finite)モード

$$\text{先頭サンプルの時刻} = \text{StartTime} + (\text{StartClockDelay} - 1) \times \text{外部クロック周期} \\ + \text{SampleClockEdgeTime}$$

StartTime :

外部クロックが SampleClockTimebase に接続されていることに依存する。

- SampleClockTimebaseActiveEdge=Rising 時 : 外部クロック周期(sec) / 2
  - SampleClockTimebaseActiveEdge=Falling 時 : 0
- ※DAQmx ドライバーの不具合のために、論理が反転している。

### (2) Event モード (プリサンプル n>0)

$$\text{先頭サンプルの時刻} = -n \times \text{サンプリング周期} + \text{ジッタ} \\ + \text{SampleClockEdgeTime}$$

サンプリングはトリガ前に不定タイミング(分周のどこか)で開始されているので、最大、サンプル周期分のジッタが発生する。

## 1. 2. 2 SampleClock に外部クロックを設定した場合

サンプリング周期 = 外部クロック周期

### (1) Continuous, Event(Finite)モード

$$\text{先頭サンプルの時刻} = \text{SampleClockEdgeTime}$$

### (2) Event モード (プリサンプル n>0)

$$\text{先頭サンプルの時刻} = -n \times \text{サンプリング周期} + \text{SampleClockEdgeTime}$$

## 2 測定結果

波形線は、上から順に、以下の通りである。

- ・黄色：外部トリガ(デモジュレータのトリガ)信号
- ・緑色：モジュールの Export された ai/StartTrigger 信号
- ・赤色：モジュールの Export された ai/SampleClock 信号
- ・青色：外部サンプルクロック(デモジュレータのクロック)信号

測定パターンを、以下に示す。

番号	クロックソース	分周	モード	Start Clock Delay (ticks)	Sample Clock Edge
1-1	Internal 20MHz	20	Continuous	2	Rising
1-2	↑	↑	↑	↑	Falling
1-3	↑	↑	↑	10	Rising
1-4	↑	↑	↑	↑	Falling
2-1	↑	↑	Finite	2	Rising
2-2	↑	↑	↑	↑	Falling
2-3	↑	↑	↑	10	Rising
2-4	↑	↑	↑	↑	Falling
3-1	↑	↑	PreSamples 5	(2)	Rising
3-2	↑	↑	↑	↑	Falling
4-1	External 10MHz	10	Continuous	2	Rising
4-2	↑	↑	↑	↑	Falling
4-3	↑	↑	↑	10	Rising
4-4	↑	↑	↑	↑	Falling
5-1	↑	↑	Finite	2	Rising
5-2	↑	↑	↑	↑	Falling
5-3	↑	↑	↑	10	Rising
5-4	↑	↑	↑	↑	Falling
6-1	↑	↑	PreSamples 5	(2)	Rising
6-2	↑	↑	↑	↑	Falling
7-1	External 1MHz	1	Continuous	(2)	Rising
7-2	↑	↑	↑	↑	Falling
8-1	↑	↑	Finite	↑	Rising
8-2	↑	↑	↑	↑	Falling
9-1	↑	↑	PreSamples5	↑	Rising
9-2	↑	↑	↑	↑	Falling

(1) Internal 20MHz, Div20, Continuous

Internal を使用時、SampleClockTimebaseActiveEdge は正常動作である。

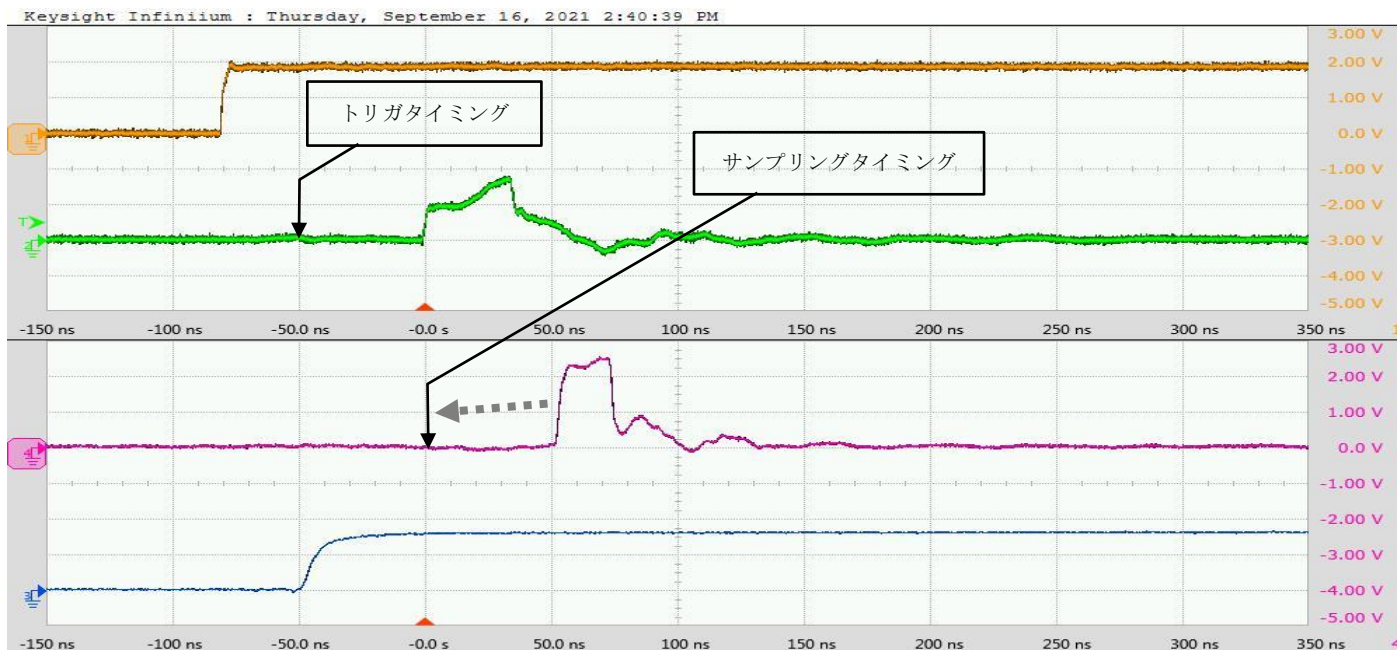
今回は SampleClockTimebaseActiveEdge=Rising である。

(1-1) Internal 20MHz, Div20, Continuous, Start Clock Delay 2ticks, Sample Clock Rising

ai/StartTrigger : SampleClockTimebase の同期ジッタ(最大 50ns)

+ 表示上遅延 50ns (内部クロック 1tick)

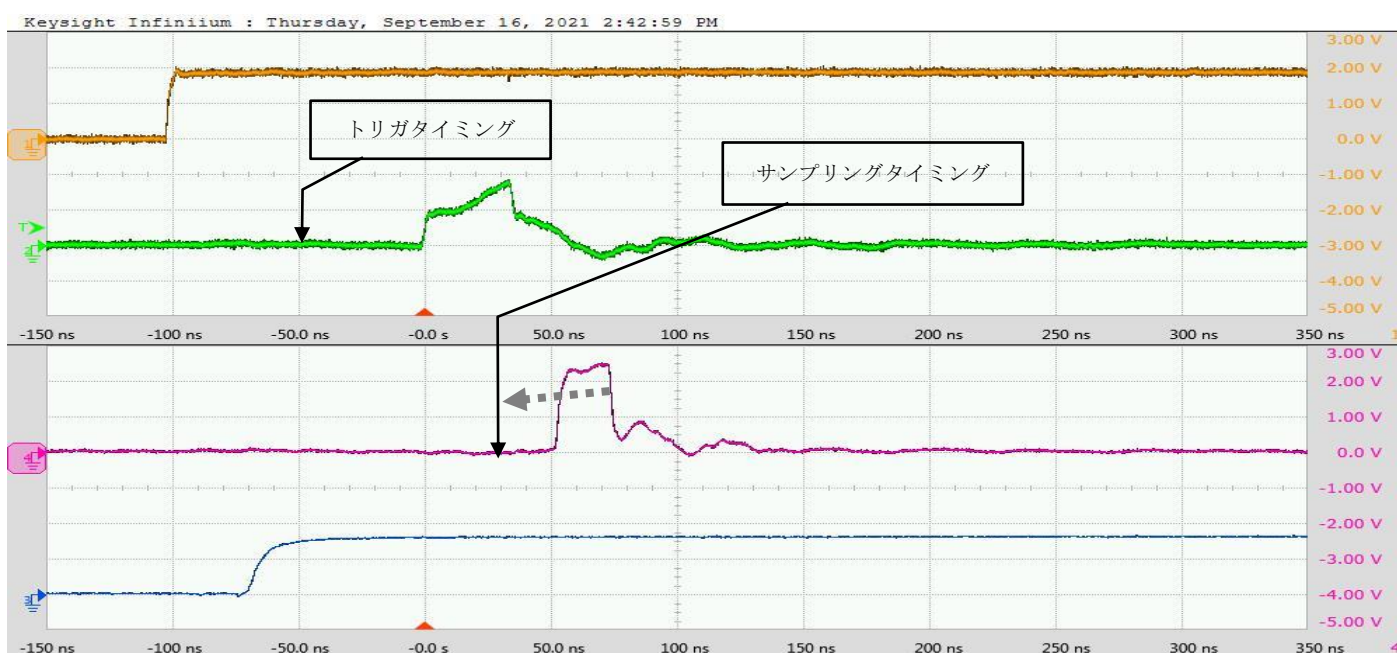
ai/SampleClock : ai/StartTrigger から Start Clock Delay - 1 のずれ。 50ns (2-1ticks)



(1-2) (1-1) Sample Clock Rising → Falling

ai/StartTrigger : (1-1) Rising とは、SampleClockTimebase の同期ジッタを考慮すると同じ。

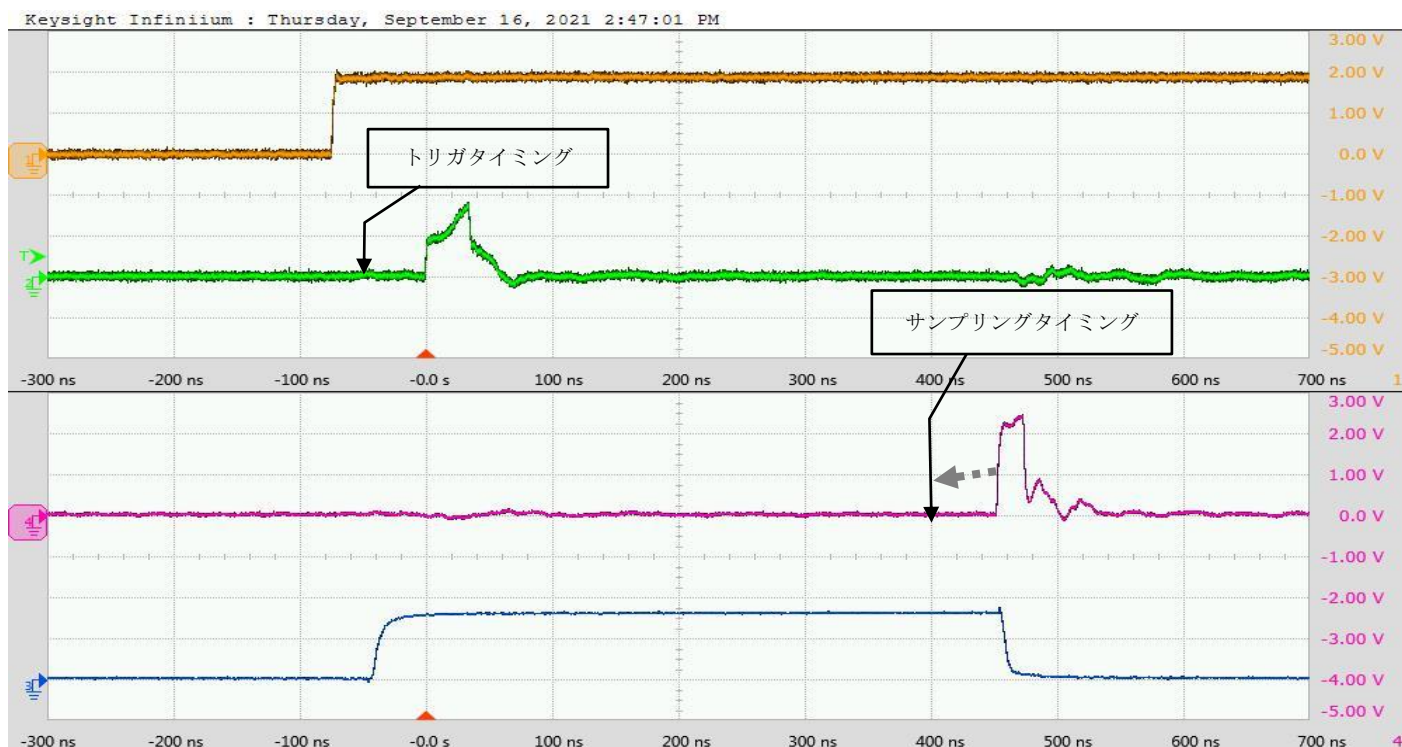
ai/SampleClock : ai/StartTrigger から Start Clock Delay - 1 のずれ。 50ns (2-1ticks)



(1-3) (1-1) Sample Clock Delay 2ticks → 10ticks

ai/StartTrigger : (1-1) Rising とは、SampleClockTimebase の同期ジッタを引くと同じである。

ai/SampleClock : ai/StartTrigger から Start Clock Delay - 1 のずれ 450ns (10-1ticks)

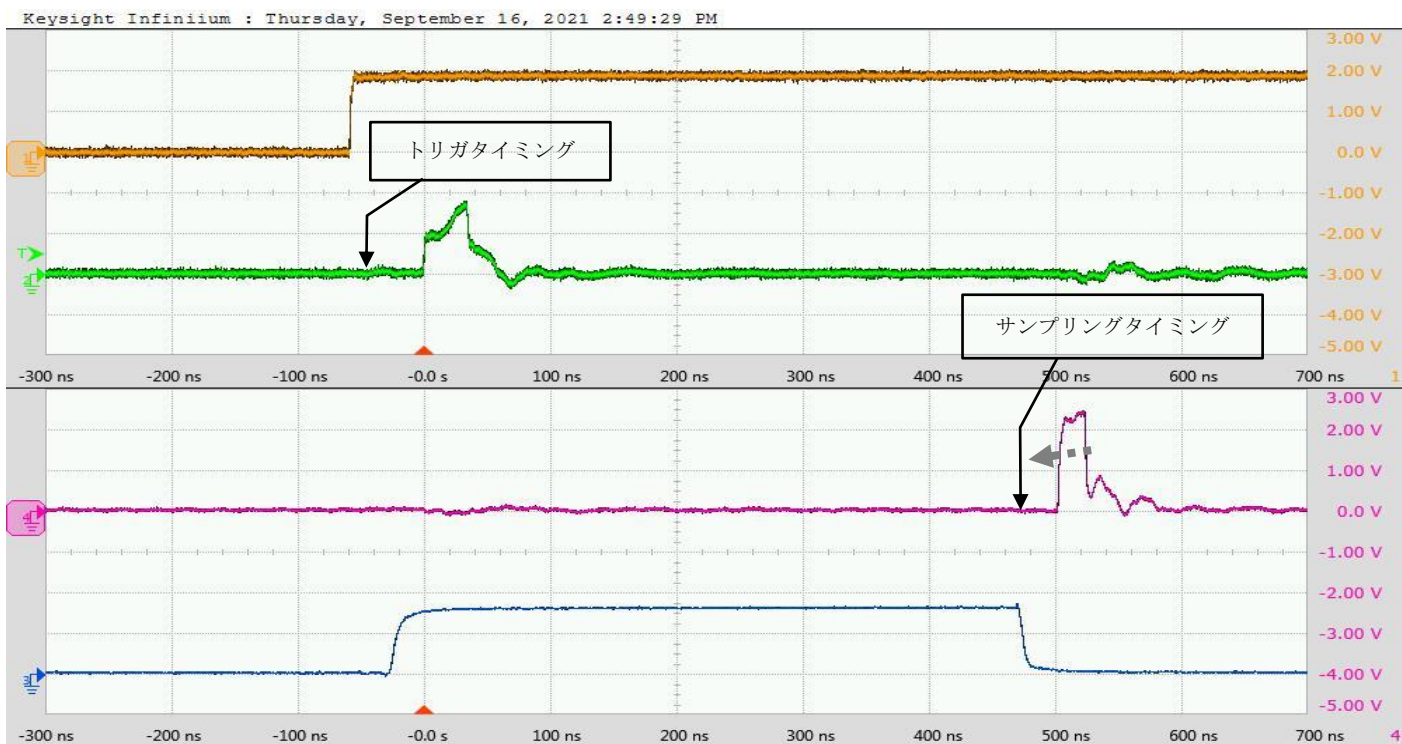


(1-4) (1-3) Sample Clock Rising → Falling

ai/StartTrigger : (1-1) Rising とは、SampleClockTimebase の同期ジッタを引くと同じである。

ai/SampleClock : ai/StartTrigger から Start Clock Delay のずれ 500ns (10ticks)

→ 計算値(10-1ticks)と異なる。

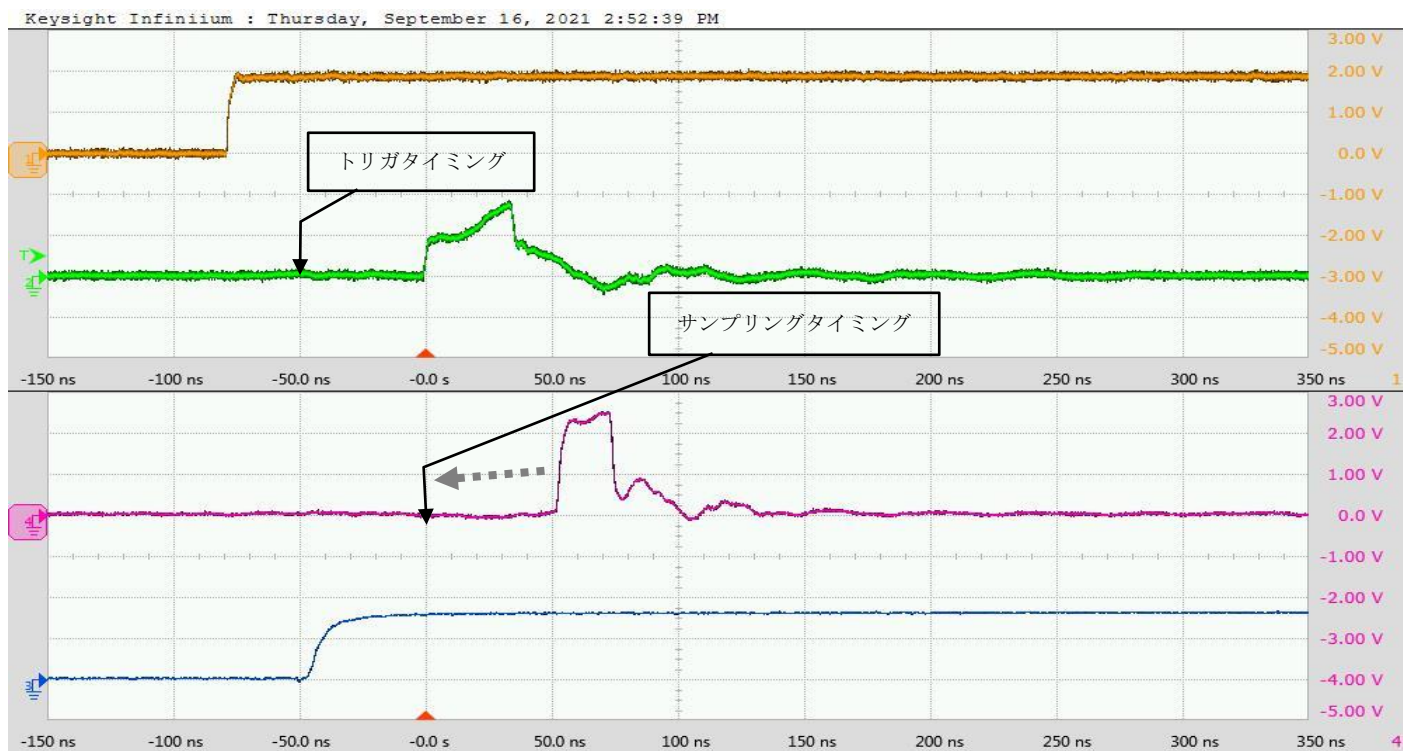




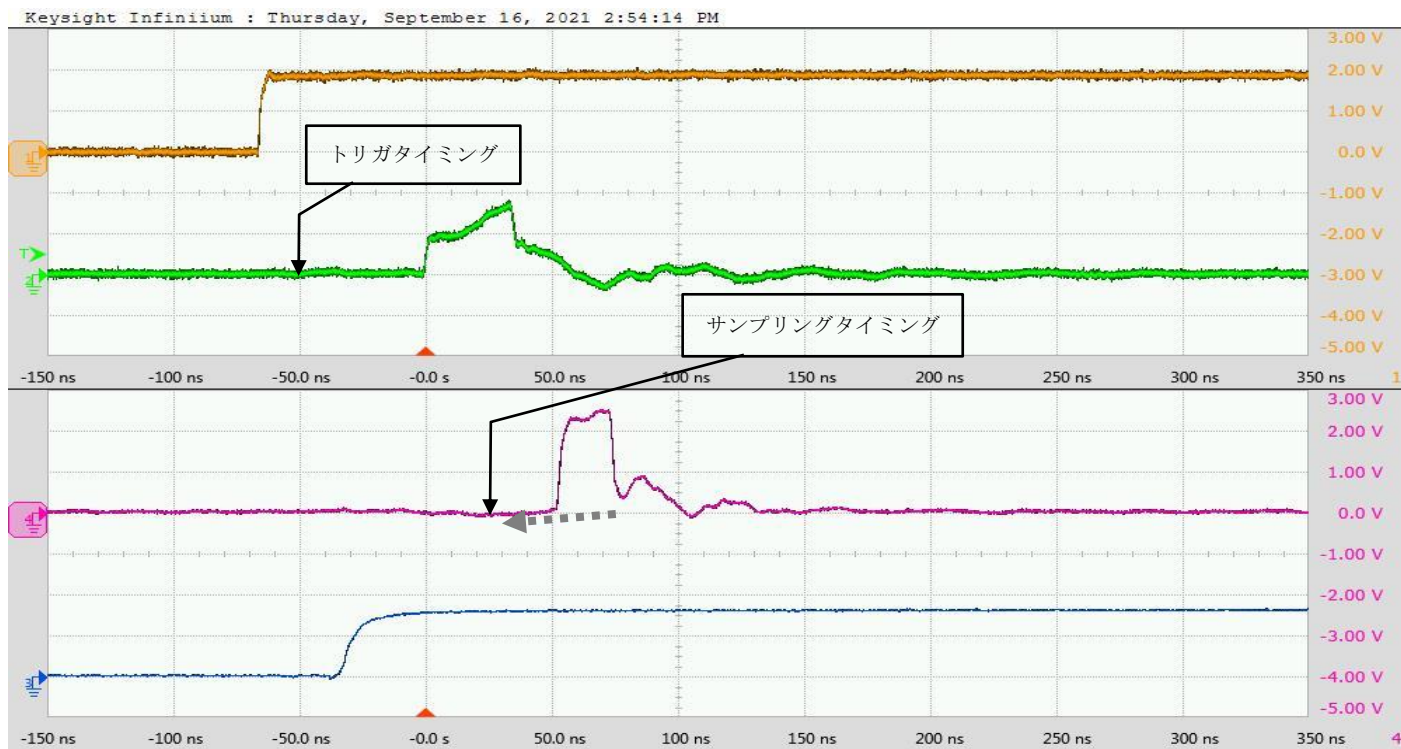
(2) Internal 20MHz, Div20, Finite : (1)の Finite モード

Continuous モードと同じ結果と判断する。

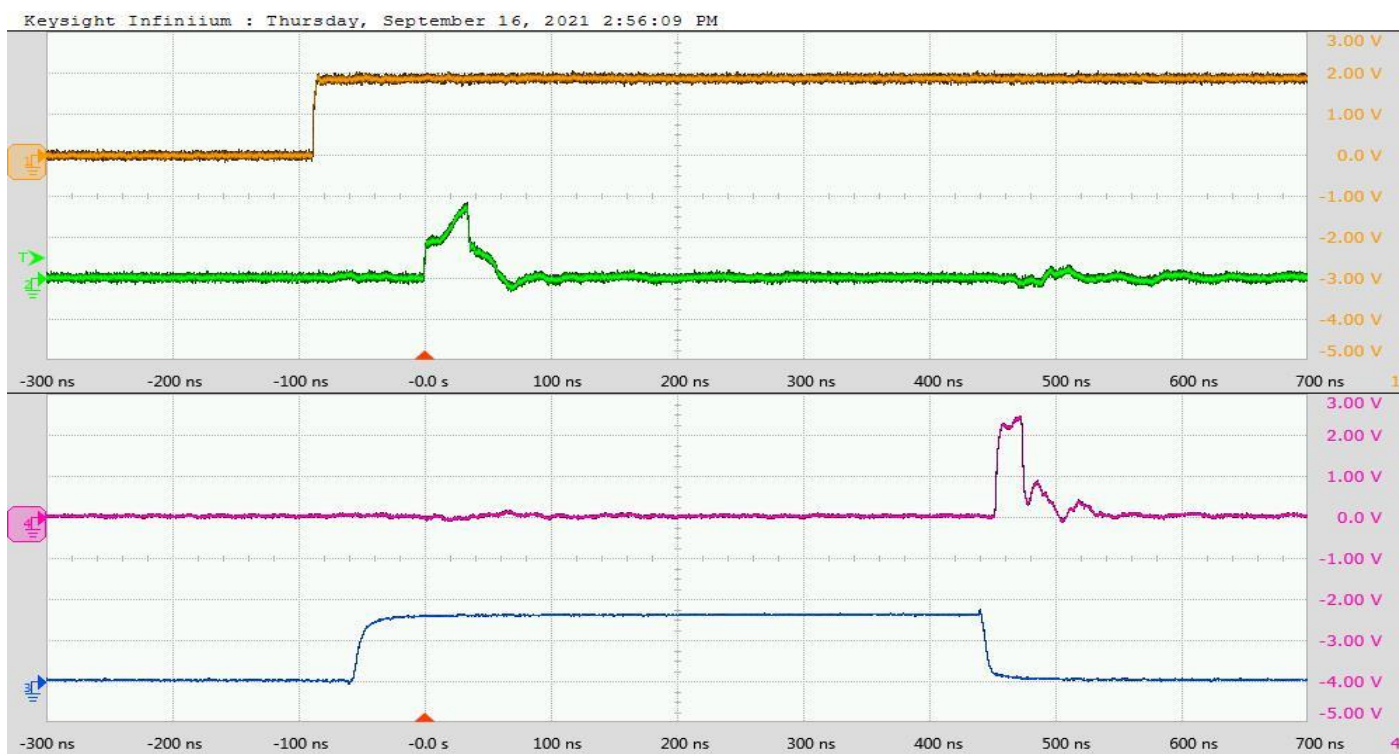
(2-1) Internal 20MHz, Div20, Finite, Start Clock Delay 2ticks, Sample Clock Rising



(2-2) Internal 20MHz, Div20, Finite, Start Clock Delay 2ticks, Sample Clock Falling



(2-3) Internal 20MHz, Div20, Finite, Start Clock Delay 10ticks, Sample Clock Rising



(2-4) Internal 20MHz, Div20, Finite, Start Clock Delay 10ticks, Sample Clock Falling





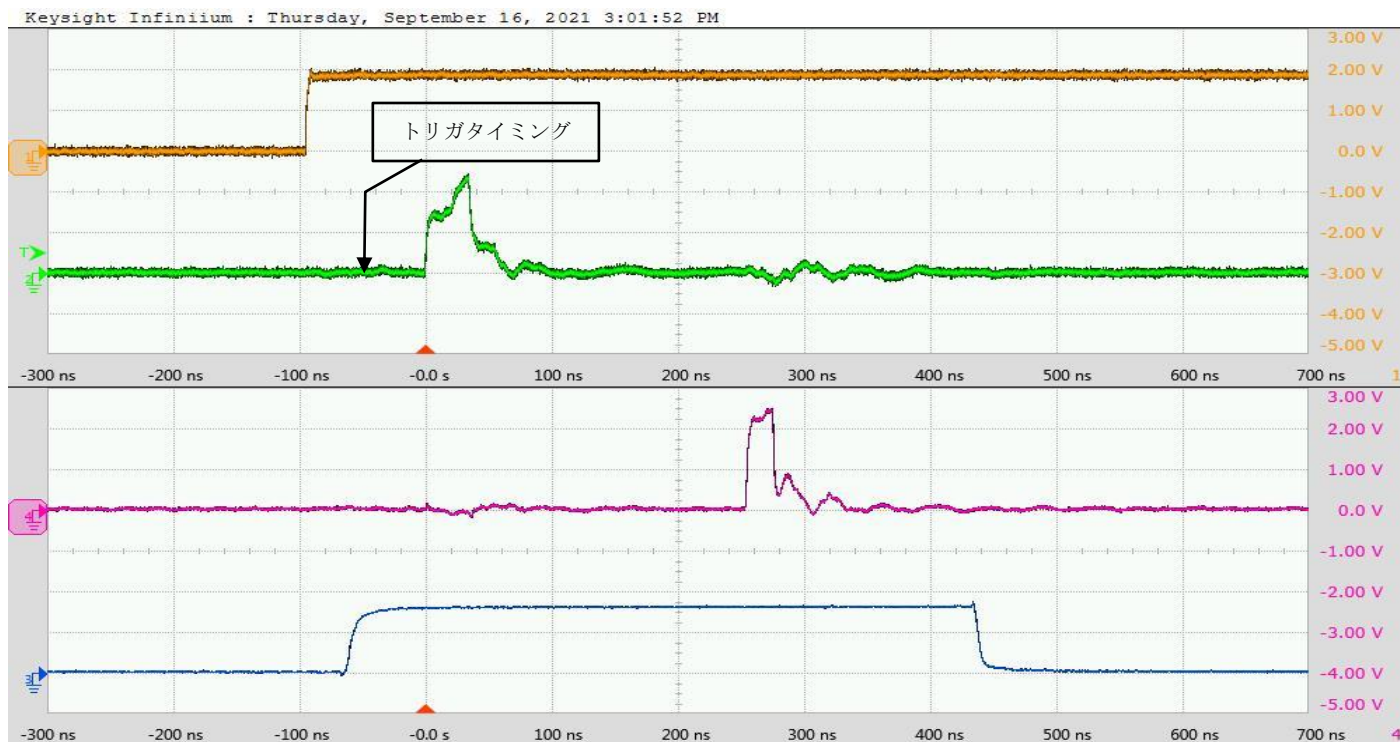
(3) Internal 20MHz, Div20, Finite PreSamples 5 : (1)のプリサンプルモード

ai/StartTrigger : (2) Finite と同じである。

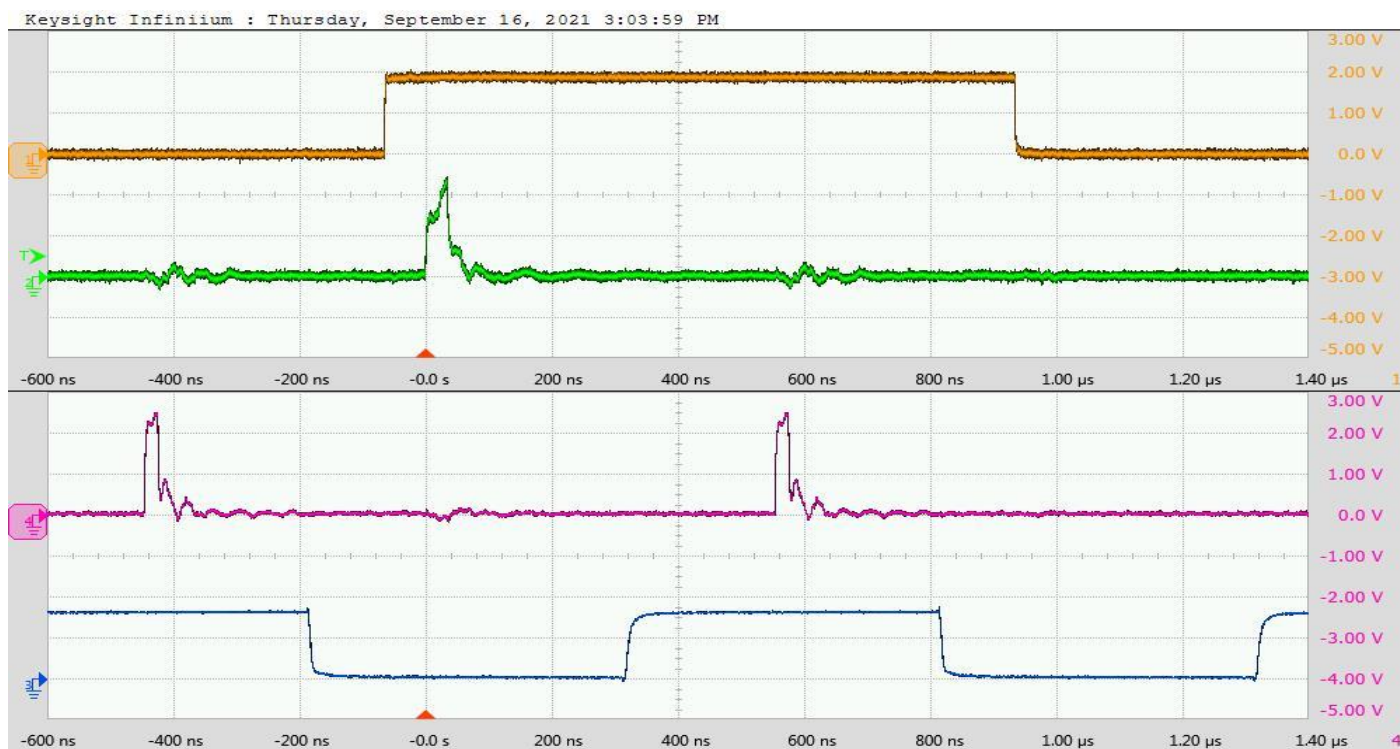
ai/SampleClock : SampleClock の開始タイミングがトリガに依存せず、不定である。

ai/StartTrigger より、Sampling Rate の1クロック分のジッタが発生する。

(3-1) Internal 20MHz, Div20, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Rising



(3-2) Internal 20MHz, Div20, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Falling



(4) External 10MHz, Div10, Continuous

External を使用時、SampleClockTimebaseActiveEdge は設定の反転で動作する。

今回は SampleClockTimebaseActiveEdge=Falling で動作する。

SampleClockTimebase に External 10MHz(デモジュレータのクロック)信号を接続する。

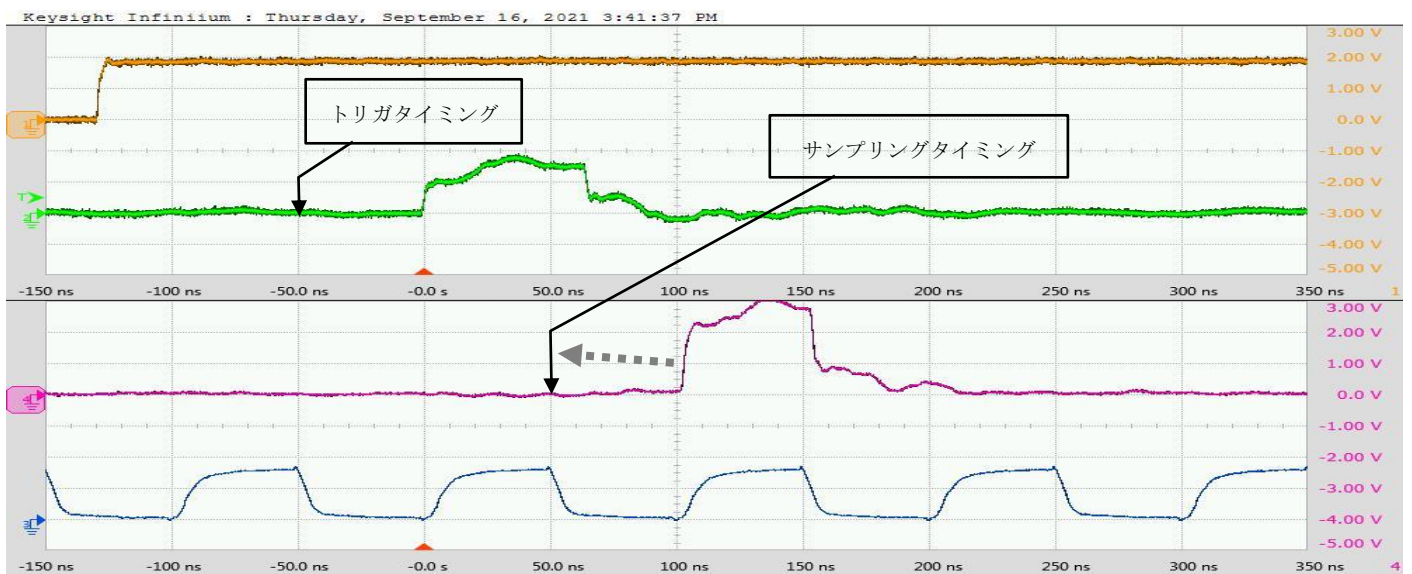
(4-1) External 10MHz, Div10, Continuous, Start Clock Delay 2ticks, Sample Clock Rising

ai/StartTrigger : デモジュレータのトリガとクロックの遅延時間(20~30ns)

+ SampleClockTimebase の Falling 同期 50ns (10MHz の半クロック)

+ 表示上遅延 50ns (内部クロック 1tick)

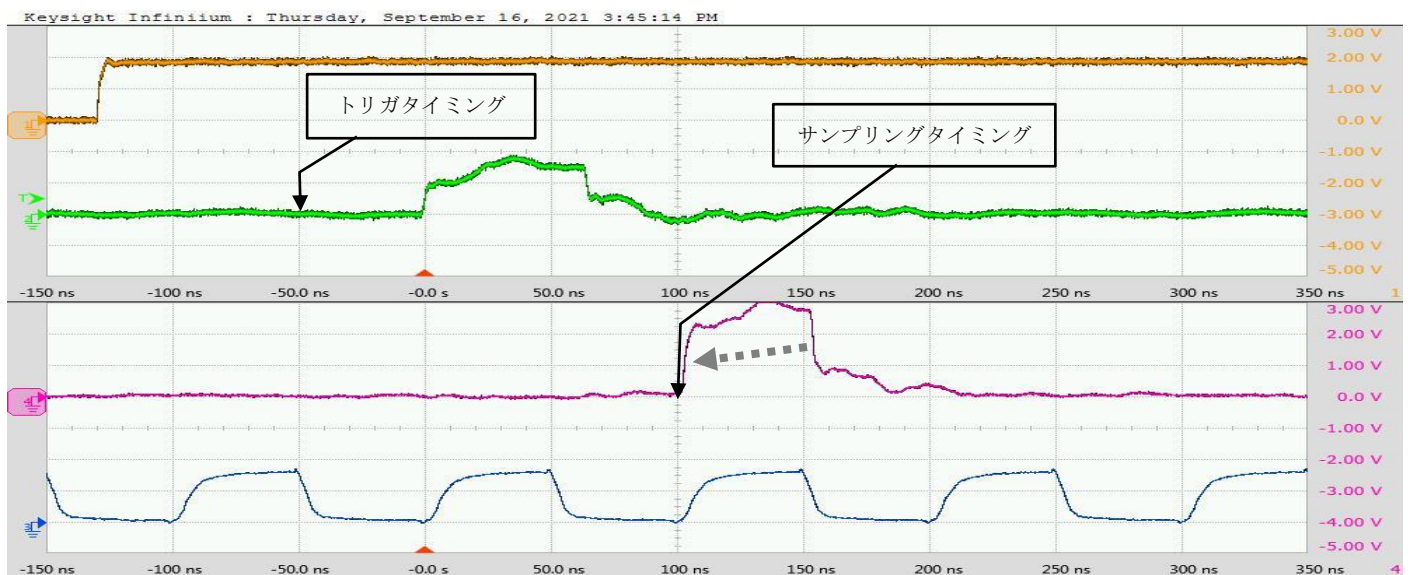
ai/SampleClock : ai/StartTrigger から Start Clock Delay - 1 のずれ。 100ns (2-1ticks)



(4-2) External 10MHz, Div10, Continuous, Start Clock Delay 2ticks, Sample Clock Falling

ai/StartTrigger : (4-1) と同じ。

ai/SampleClock : (4-1) と同じ。 100ns (2-1ticks)

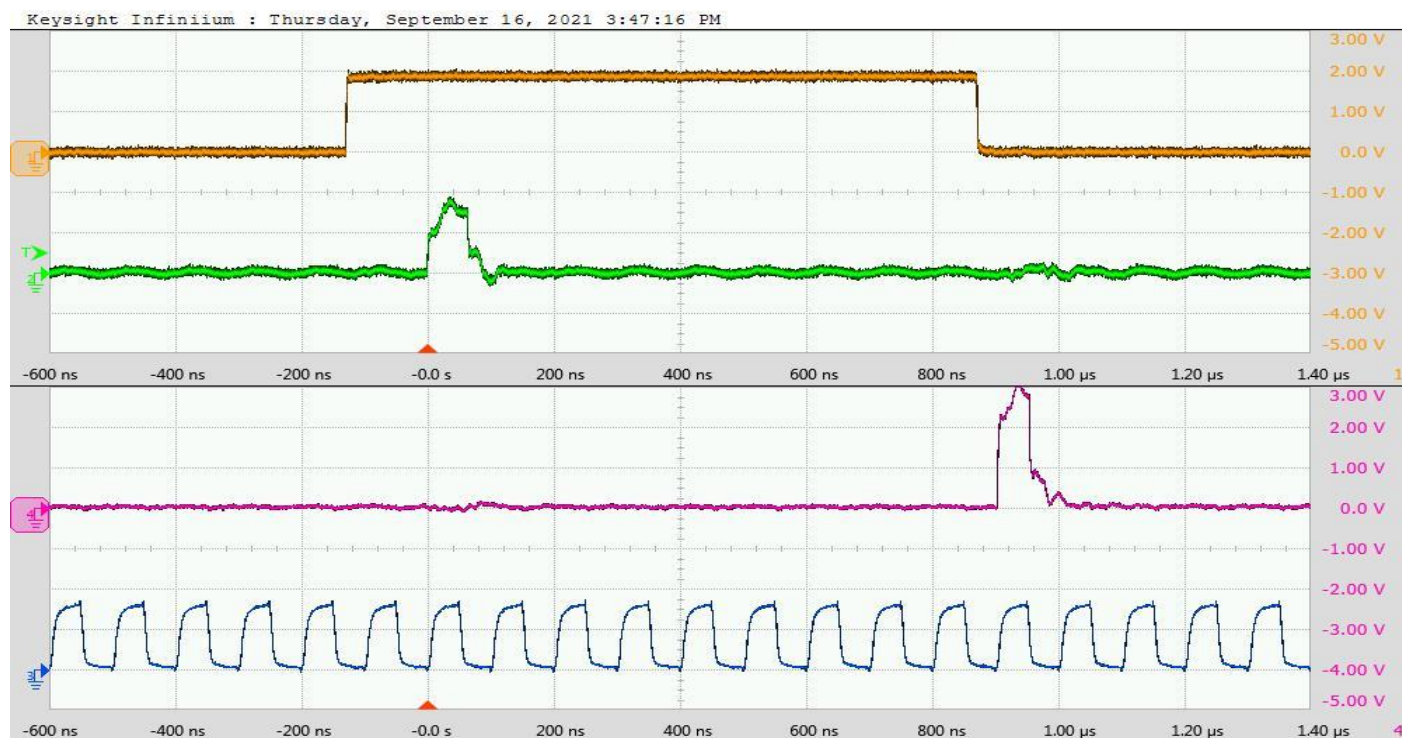




(4-3) External 10MHz, Div10, Continuous, Start Clock Delay 10ticks, Sample Clock Rising

ai/StartTrigger : (4-1) と同じ。

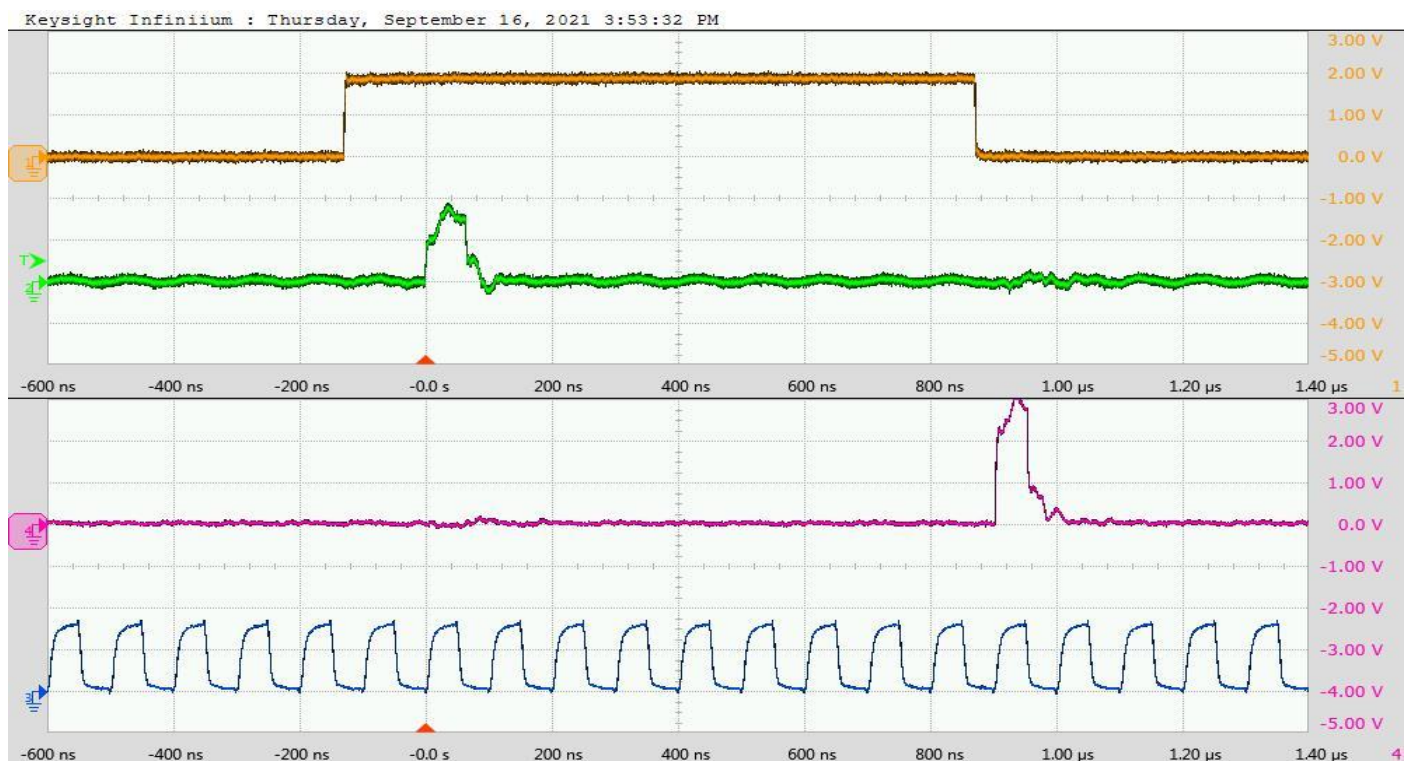
ai/SampleClock : ai/StartTrigger から Start Clock Delay - 1 のずれ。 900ns (10-1ticks)



(4-4) External 10MHz, Div10, Continuous, Start Clock Delay 10ticks, Sample Clock Falling

ai/StartTrigger : (4-1) と同じ。

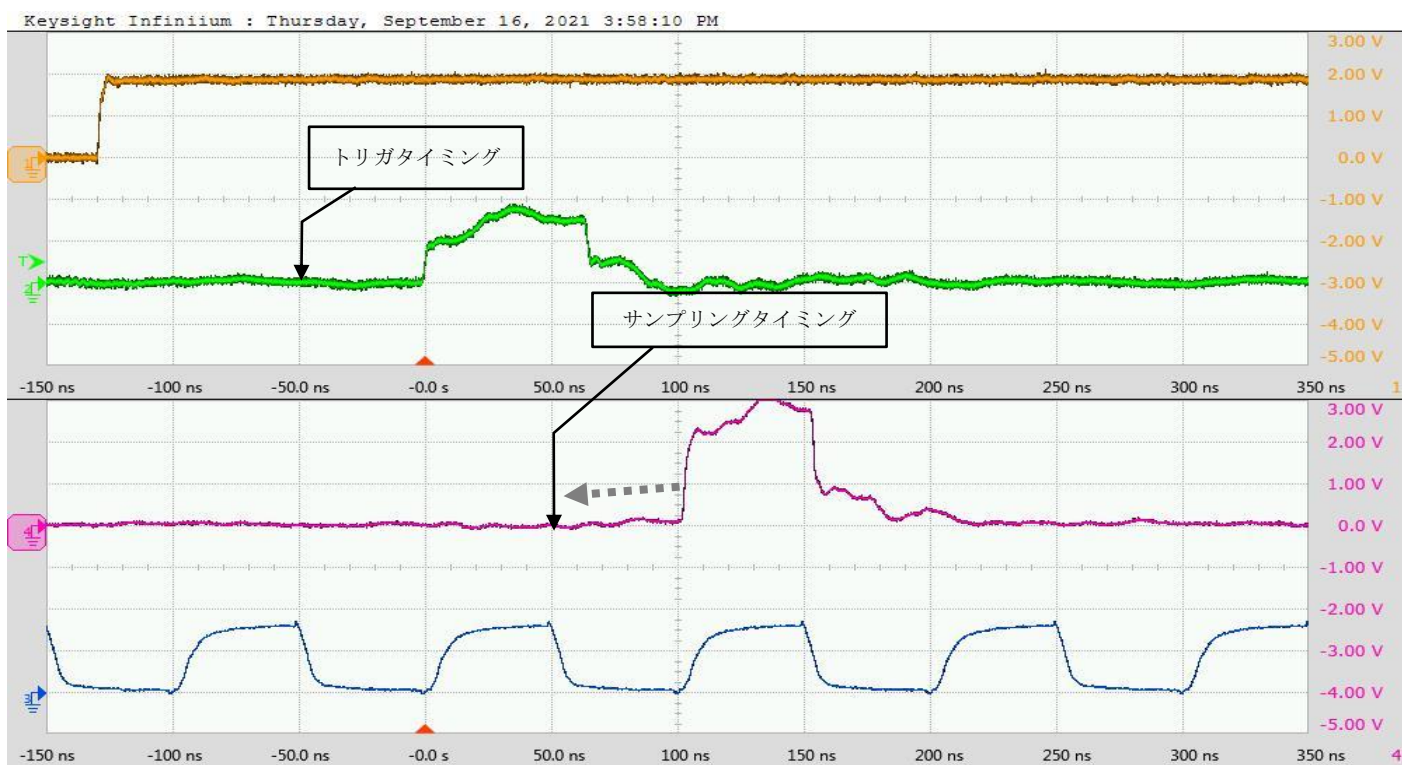
ai/SampleClock : (4-3) と同じ。 900ns (10-1ticks)



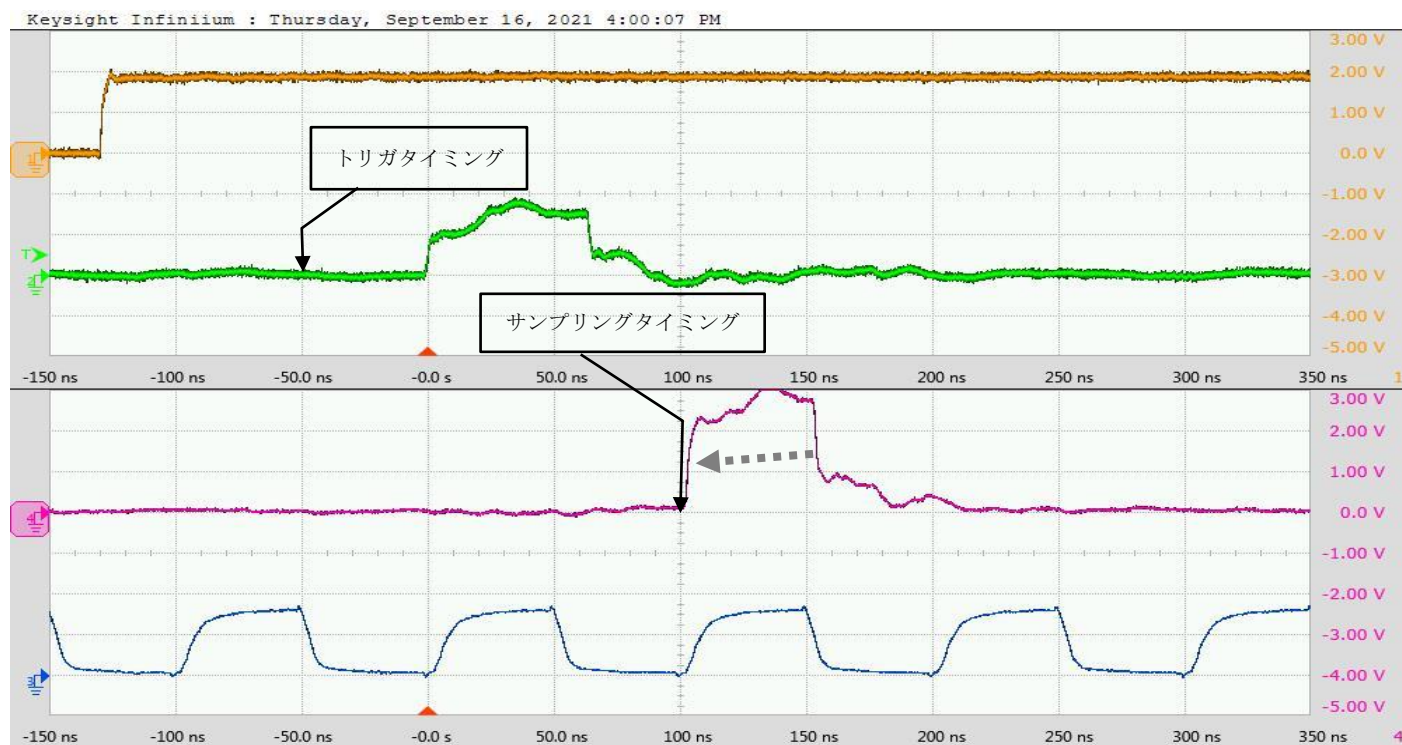
(5) External 10MHz, Div10, Finite : (4)の Finite モード

(4) Continuous モードと同じ結果と判断する。

(5-1) External 10MHz, Div10, Finite, Start Clock Delay 2ticks, Sample Clock Rising

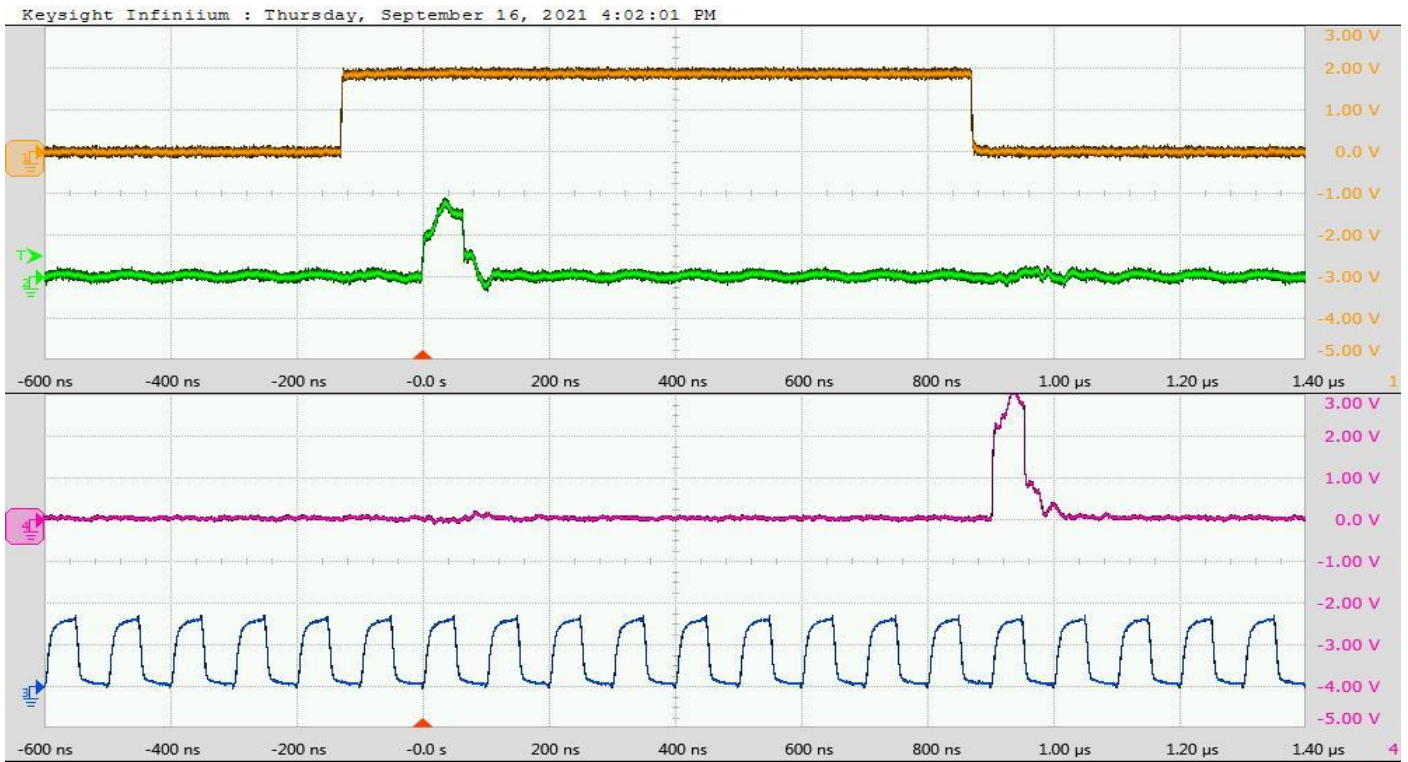


(5-2) External 10MHz, Div10, Finite, Start Clock Delay 2ticks, Sample Clock Falling

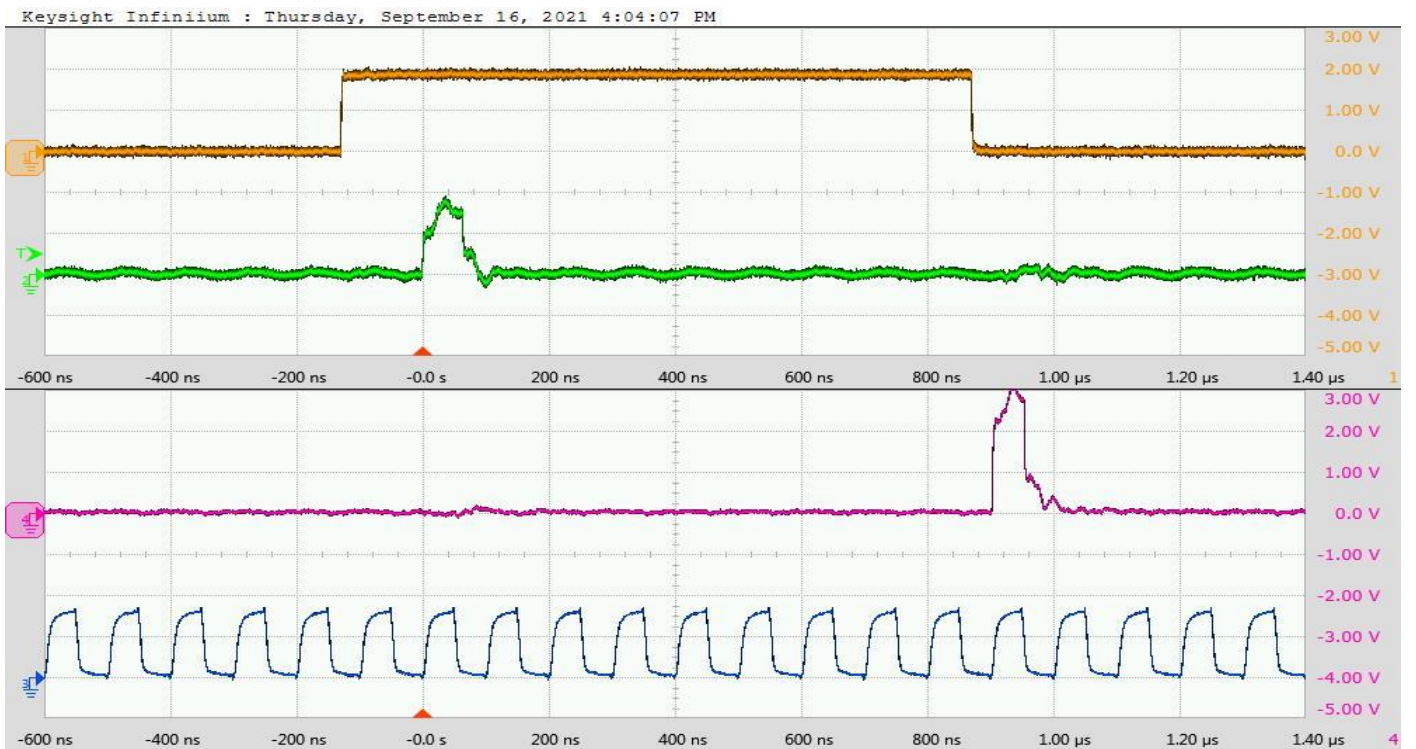




(5-3) External 10MHz, Div10, Finite, Start Clock Delay 10ticks, Sample Clock Rising



(5-4) External 10MHz, Div10, Finite, Start Clock Delay 10ticks, Sample Clock Falling



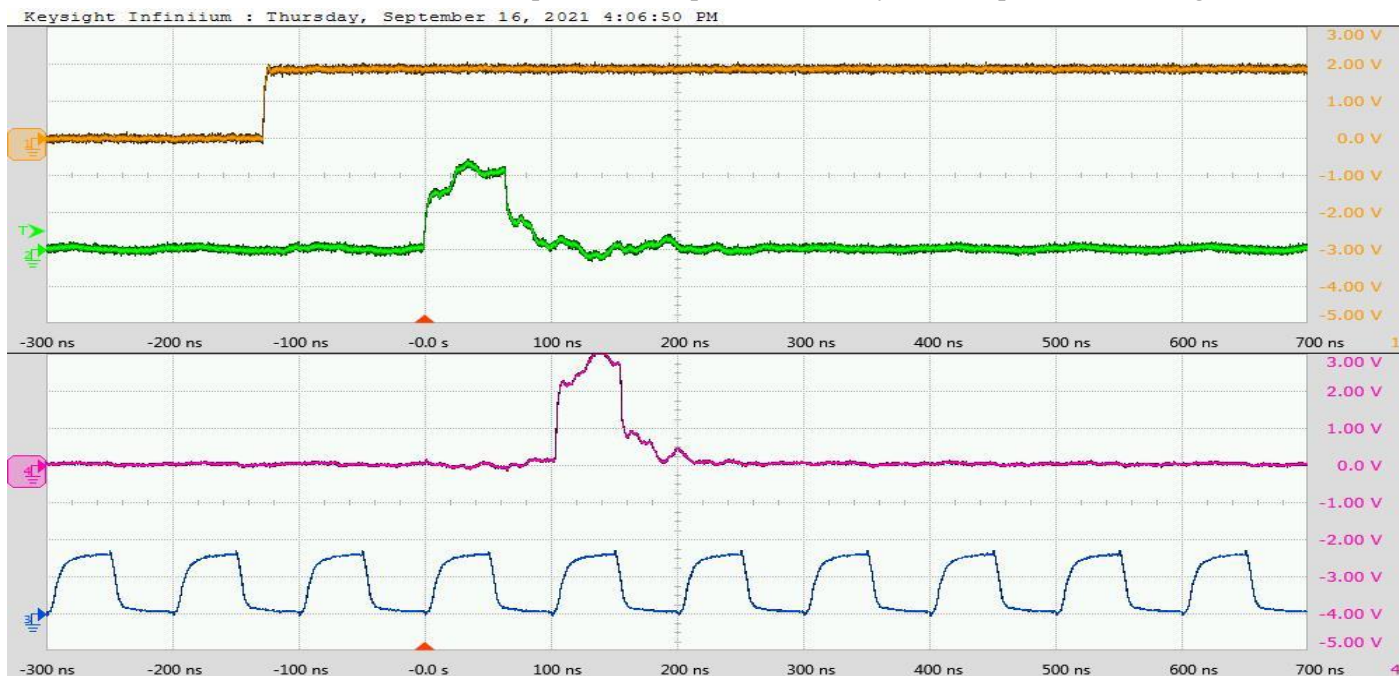
(6) External 10MHz, Div10, Finite PreSamples 5 : (1)のプリサンプルモード

ai/StartTrigger : (4-1)と同じ。

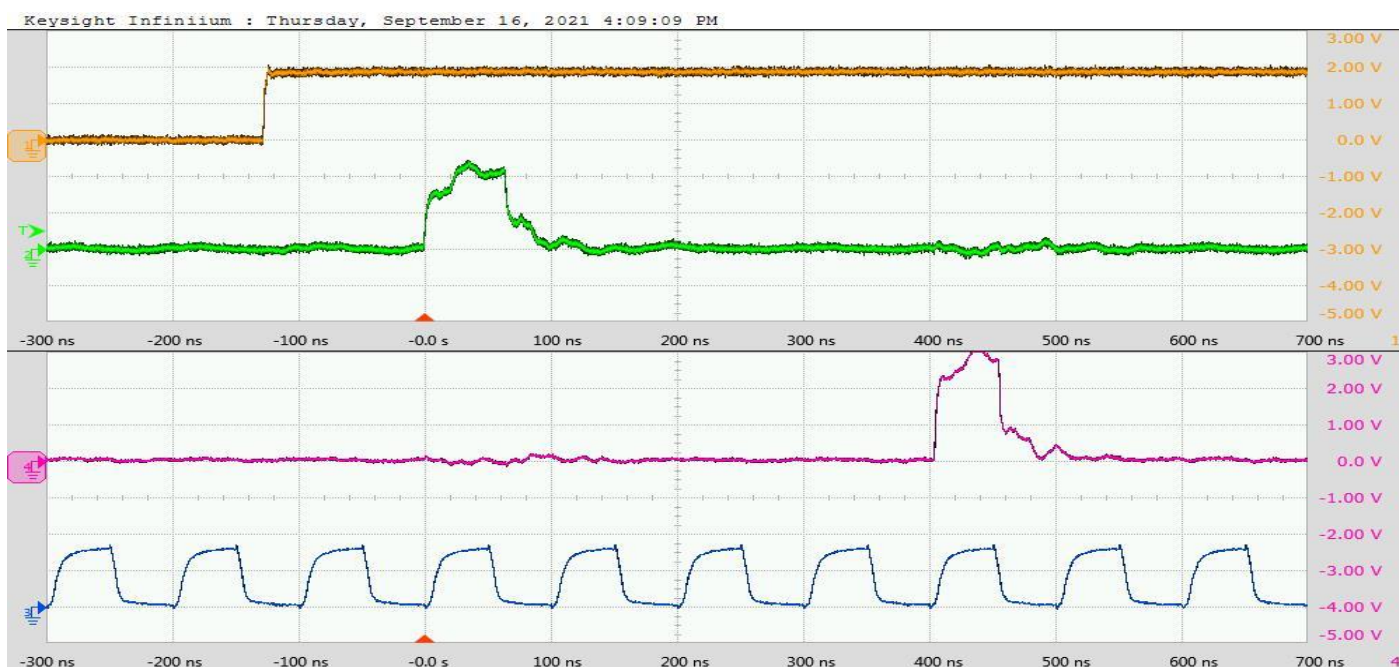
ai/SampleClock : SampleClock の開始タイミングがトリガに依存せず、不定である。

ai/StartTrigger より、Sampling Rate の1クロック分のジッタが発生する。

(6-1) External 10MHz, Div10, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Rising



(6-2) External 10MHz, Div10, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Falling





(7) External 1MHz, Div1, Continuous

SampleClockTimebase は Internal 20MHz 信号が接続されている。

今回は SampleClockTimebaseActiveEdge=Rising(設定値)で動作する。

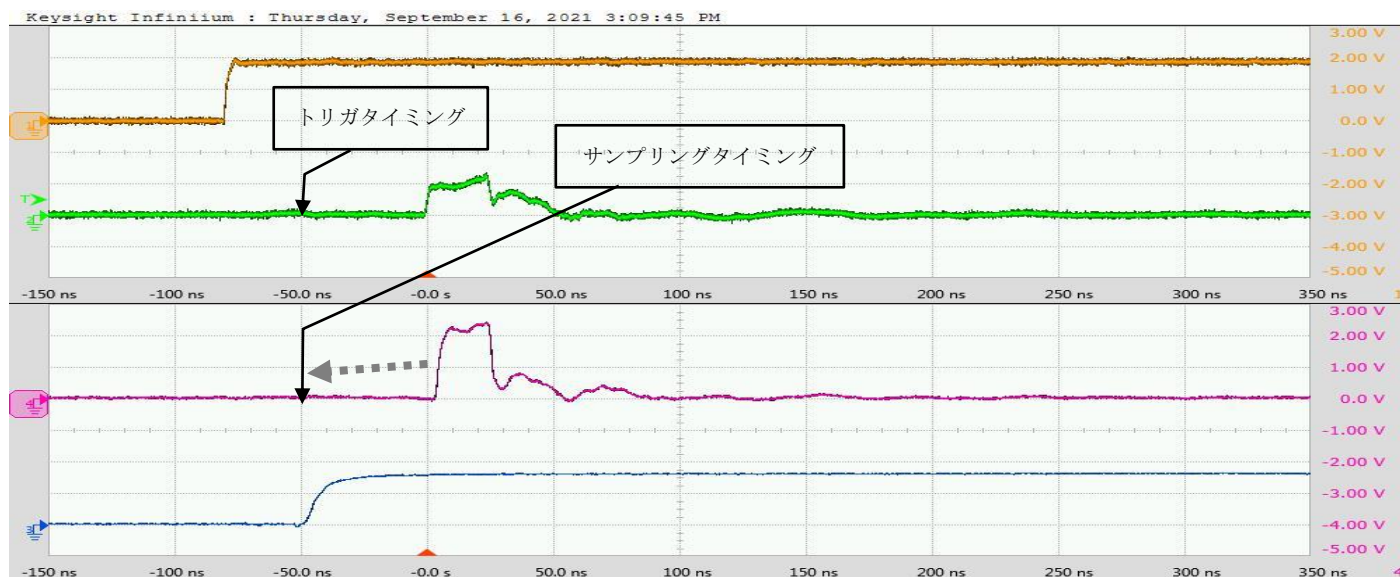
SampleClock に External 1MHz(デモジェネレータのクロック)信号を接続する。

(7-1) External 1MHz, Div1, Continuous, (Start Clock Delay 2ticks), Sample Clock Rising

ai/StartTrigger : SampleClock と同期

ai/SampleClock : 外部クロックの立上がり + 表示上遅延 50ns (内部クロック 1tick)

波形は SampleClockTimebase(内部クロック)

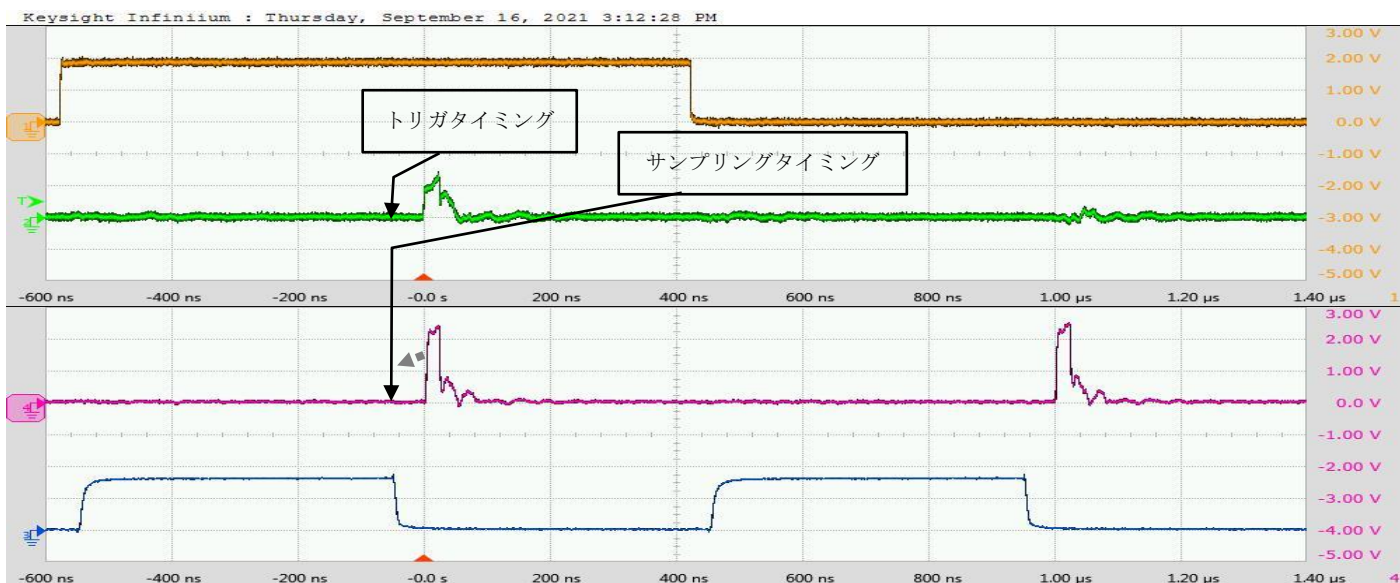


(7-2) External 1MHz, Div1, Continuous, (Start Clock Delay 2ticks), Sample Clock Falling

ai/StartTrigger : SampleClock と同期

ai/SampleClock : 外部クロックの立下がり + 表示上遅延 50ns (内部クロック 1tick)

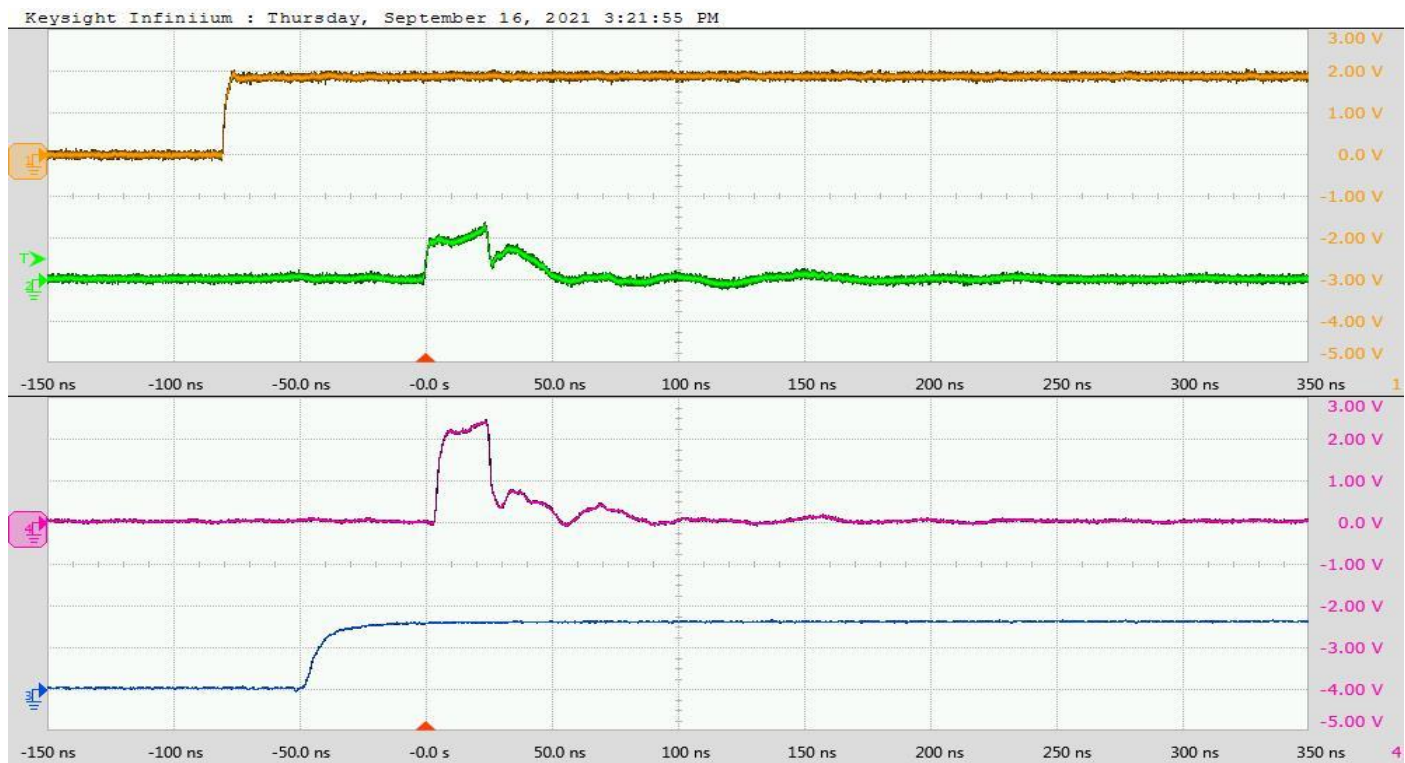
波形は SampleClockTimebase(内部クロック)



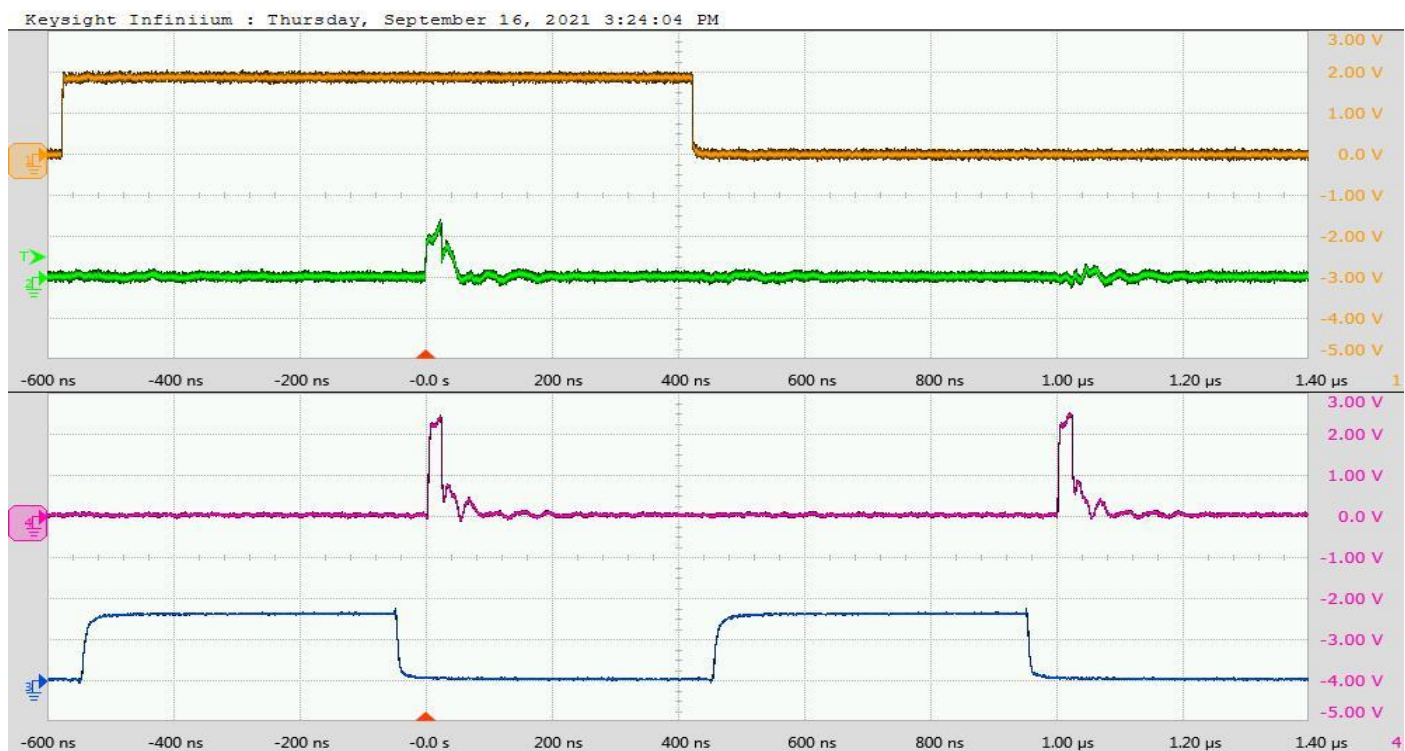
(8) External 1MHz, Div1, Finite

(7) と同じ。

(8-1) External 1MHz, Div1, Finite, (Start Clock Delay 2ticks), Sample Clock Rising



(8-2) External 1MHz, Div1, Finite, (Start Clock Delay 2ticks), Sample Clock Falling



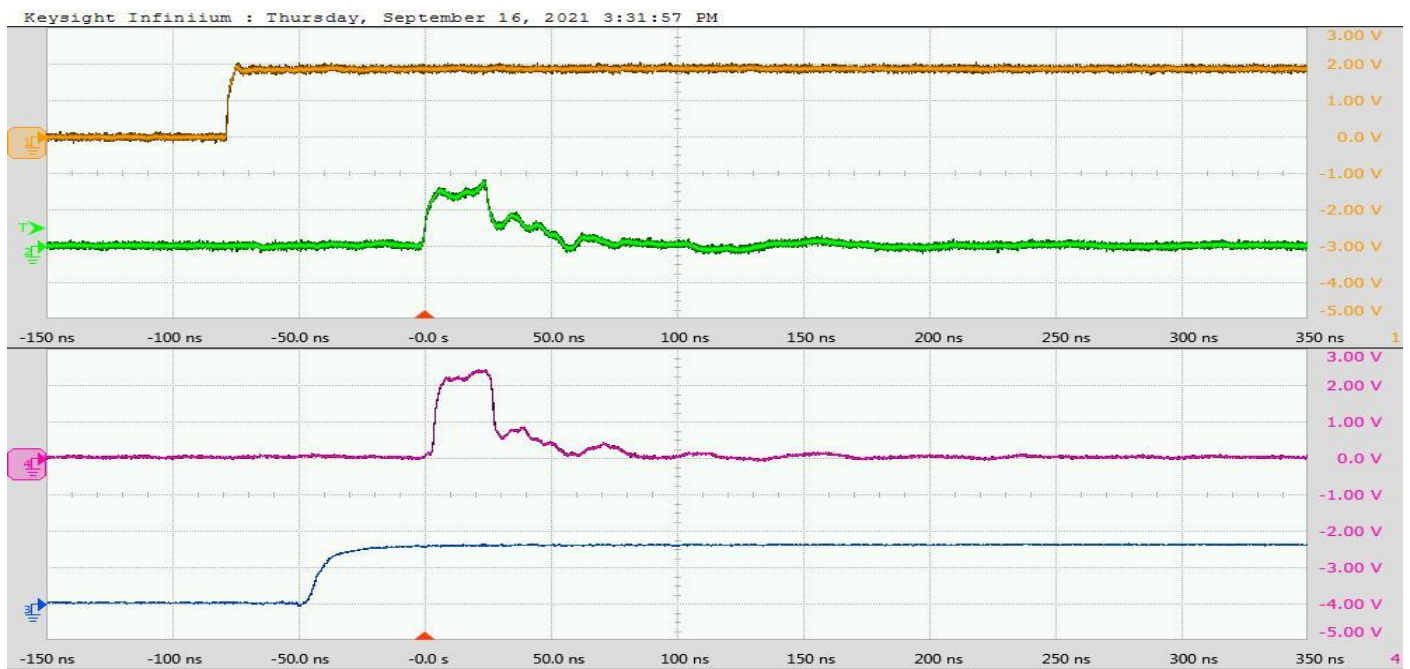


(9) External 1MHz, Div1, Finite PreSamples 5 : (7)のプリサンプルモード

(9-1) External 1MHz, Div1, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Rising

ai/StartTrigger : 外部クロックの Rising+表示上遅延 50ns (内部クロック 1tick)

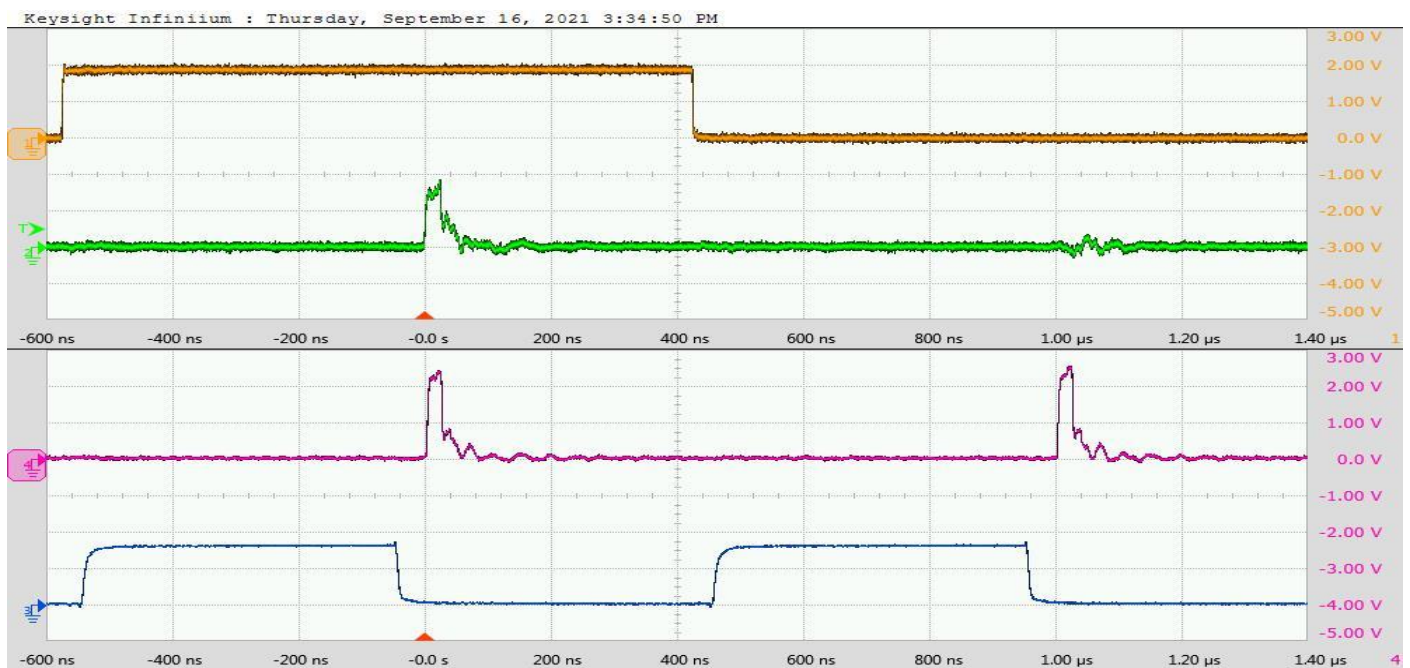
ai/SampleClock : 外部クロックの Rising+表示上遅延 50ns (内部クロック 1tick)に同期



(9-2) External 1MHz, Div1, Finite PreSamples 5, (Sample Clock Delay 2), Sample Clock Falling

ai/StartTrigger : 外部クロックの Falling+表示上遅延 50ns (内部クロック 1tick)

ai/SampleClock : 外部クロックの Falling+表示上遅延 50ns (内部クロック 1tick)に同期



以上